



Home



List

☐ Include

9

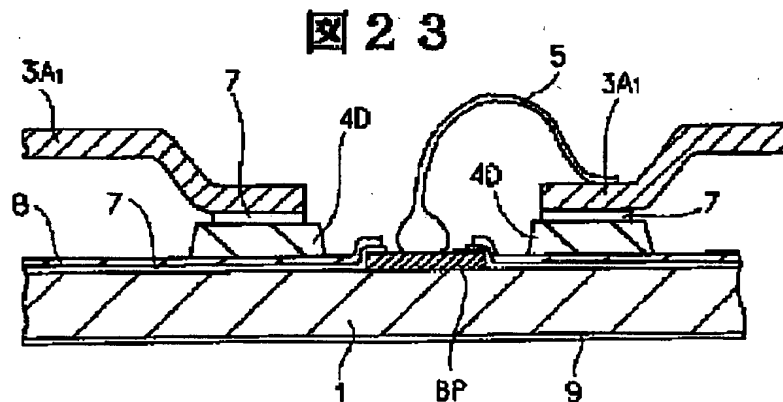
37

MicroPatent® PatSearch FullText: Record 1 of 1

Search scope: US Granted US Applications EP-A EP-B WO JP ; Full patent spec.

Years: 1990-2002

Text: Patent/Publication No.: JP08274243

[Order This Patent](#)[Family Lookup](#)[Find Similar](#)[Legal Status](#)[Go to first matching text](#)

JP08274243 A
SEMICONDUCTOR DEVICE
HITACHI LTD

Inventor(s): ;MURAKAMI HAJIME ;TSUBOSAKI KUNIHIRO ;ICHITANI MASAHIRO ;NISHI KUNIHIKO ;ANJO ICHIRO ;NISHIMURA ASAO ;KITANO MAKOTO ;YAGUCHI AKIHIRO ;KAWAI SUEO ;OGATA MASAJI ;EGUCHI KUNIYUKI ;KOKADO HIROYOSHI ;SEGAWA MASANORI ;HOZOJI HIROYUKI ;YOKOYAMA TAKASHI ;KANESHIRO TOKUYUKI ;KANEDA AIZO ;SAEKI JUNICHI ;NAKAMURA SHOZO ;HASEBE AKIO ;KIKUCHI HIROSHI ;YOSHIDA ISAMU

Application No. 08063975 **JP08063975 JP**, Filed 19960321,A1 Published 19961018

Abstract: **PURPOSE:** To shield α -ray to the whole part of a circuit forming region, and reduce the stray capacity between a semiconductor chip and inner leads.

CONSTITUTION: A plurality of inner leads 3A are bonded on the circuit forming surface of a semiconductor chip 1 by using adhesive agent 7, interposing insulator 4B for electric insulation from the semiconductor chip. The inner leads 3A are electrically connected with the

semiconductor chip 1 through bonding wires 5. These are sealed with resin. In this semiconductor device, a passivation film covering the circuit forming surface has a polyimide film 8 for shielding α -ray. An insulating film is partially formed in the part where at least the tips of the inner leads and/or suspension leads are bonded to the semiconductor chip. α -ray to the whole part of the circuit forming region can be shielded by the polyimide film 8 for shielding α -ray, and the semiconductor chip can be bonded and fixed by the insulating film.

Int'l Class: H01L02350; H01L02160 H01L021312

Patents Citing this One: No US, EP, or WO patents/search reports have cited this patent.



Home



List

For further information, please contact:
[Technical Support](#) | [Billing](#) | [Sales](#) | [General Information](#)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-274243

(43) 公開日 平成8年(1996)10月18日

| | | | | |
|---------------------------|-------|--------|---------------|---------|
| (51) Int.Cl. [°] | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
| H 0 1 L 23/50 | | | H 0 1 L 23/50 | S |
| 21/60 | 3 0 1 | | 21/60 | 3 0 1 B |
| // H 0 1 L 21/312 | | | 21/312 | B |

審査請求 有 請求項の数 3 O L (全 35 頁)

(21) 出願番号 特願平8-63975
 (62) 分割の表示 特願平1-65844の分割
 (22) 出願日 平成1年(1989)3月20日

(71) 出願人 000005108
 株式会社日立製作所
 東京都千代田区神田駿河台四丁目6番地
 (72) 発明者 村上 元
 東京都小平市上水本町5丁目20番1号 株
 式会社日立製作所武蔵工場内
 (72) 発明者 坪崎 邦宏
 東京都小平市上水本町5丁目20番1号 株
 式会社日立製作所武蔵工場内
 (72) 発明者 一谷 昌弘
 東京都小平市上水本町5丁目20番1号 株
 式会社日立製作所武蔵工場内
 (74) 代理人 弁理士 秋田 収喜

最終頁に続く

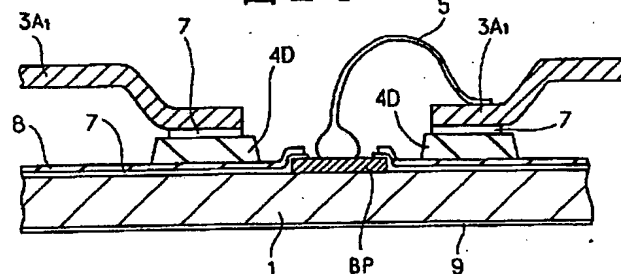
(54) 【発明の名称】 半導体装置

(57) 【要約】 (修正有)

【課題】 回路形成領域全域への α 線を遮蔽し、かつ、半導体チップとインナーリードとの間の浮遊容量を低減する。

【解決手段】 半導体チップ1の回路形成面上に、複数のインナーリード3Aが、前記半導体チップと電氣的に絶縁する絶縁体4Dを介在して接着剤7で接着され、該インナーリード3Aと半導体チップ1とがボンディングワイヤ5で電氣的に接続され、樹脂で封止された半導体装置において、前記半導体チップの回路形成面を覆うパッシベーション膜が α 線遮蔽用ポリイミド膜8を有し、半導体チップ上に少なくともインナーリードの先端又は及び吊りリードとが接着される箇所に部分的に絶縁膜が形成されており、 α 線遮蔽用ポリイミド膜8で回路形成領域全域への α 線を遮蔽することができ、前記絶縁膜で半導体チップを接着固定することができる。

図 2 3



【特許請求の範囲】

【請求項 1】 半導体チップの回路形成面上に、複数のインナーリードが、前記半導体チップと電気的に絶縁する絶縁体を介在して接着剤で接着され、該インナーリードと半導体チップとがボンディングワイヤで電気的に接続され、樹脂で封止された半導体装置において、前記半導体チップの回路形成面を覆うパッシベーション膜が α 線遮蔽用ポリイミド膜を有し、半導体チップ上に少なくともインナーリードの先端又は及び吊りリードとが接着される箇所に部分的に絶縁膜が形成されていることを特徴とする半導体装置。

【請求項 2】 前記絶縁体は、印刷の可能な無機フィラを含有する熱硬化性樹脂であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記半導体チップの回路形成面に加えて、回路形成面とは反対側の面にポリイミド膜が形成されていることを特徴とする請求項 1 又は請求項 2 に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置に関し、特に、高集積度の大規模集積回路のパッケージに適用して有効な技術に関するものである。

【0002】

【従来の技術】 従来、半導体チップを保護するために樹脂で半導体チップをモールドして封止している。この封止を行う前に、半導体チップ上にリードを位置決めし、取り付けるために、いくつかの方法が用いられている。

【0003】 例えば、中央にタブを有するリード・フレームを用いるもので、半導体チップを封入前に取付けて使用する。この従来技術では、半導体チップの周囲近くにある電極パッドを、それに対応するインナーリードにボンディングワイヤで接続する方法が知られている。

【0004】 従来技術による半導体パッケージに共通の問題は、金属リード・フレームのリード線の出口となる金型パーティング・ラインに沿って、亀裂を生じることであった。

【0005】 また、他の問題は、外部から半導体チップへ、金属リード線に沿って環境中の汚染源が浸入する経路が比較的短いことである。

【0006】 さらに、他の問題は、インナーリードを半導体チップの電極パッドに接続するために必要なボンディングワイヤが比較的長いため、かつ交互に入出力端子を割当てるために、ボンディングワイヤを交差させることができないことであった。

【0007】 そこで、前記問題を解消するために、半導体チップの回路形成面上に、複数のインナーリードが、前記半導体チップと絶縁フィルムを介在させて接着剤で接着され、該インナーリードと半導体チップとがボンディングワイヤで電気的に接続され、モールド樹脂で封止

された半導体装置において、前記半導体チップの回路形成面の長手方向の中心線の近傍に共用インナーリード（バスバーインナーリード）が設けられた半導体装置が提案された（特開昭 61-241959 号公報）。

【0008】

【発明が解決しようとする課題】 しかしながら、本発明者は、前述の従来の半導体装置を検討した結果、以下の問題点を見出した。

【0009】 すなわち、従来の半導体装置では、（1）半導体チップの回路形成面上に、複数のインナーリードが、前記半導体チップと絶縁フィルムを介在させて接着剤で接着されているが、前記インナーリードと半導体チップとの間の浮遊容量が大きくなるため、信号伝送速度がその浮遊容量の大きくなった分だけ遅くなると共に電気ノイズも大きくなるという問題があった。

【0010】 （2）前記絶縁フィルムの面積が大きいため、吸湿水分量が多くなり、リフロー時にその吸湿された水分がパッケージの中で気化膨張してパッケージクラックが発生するという問題があった。

【0011】 （3）前記絶縁フィルムの材料にポリイミド系の樹脂を使用しているため、吸湿水分量が多くなり、リフロー時にその吸湿された水分がパッケージの中で気化膨張してパッケージクラックが発生するという問題があった。

【0012】 （4）前記接着剤の材料にアクリル系の樹脂を使用しているため、ブレッシャクカテスト等で接着剤が劣化し、リード間の電気的リーク及びアルミニウム電極腐食等の問題で信頼性が劣化するという問題があった。

【0013】 （5）アルファ（ α ）線対策用のポリイミド系の樹脂コートを半導体チップの回路形成面全体にコートしていないので、アルファ（ α ）線によるエラーが発生するという問題があった。

【0014】 （6）共用インナーリード（バスバーインナーリード）を放熱板としているが、発熱部の大きい素子部上にインナーリードが全面に覆われていないので、1ワット以上の素子においては放熱が不充分であるという問題があった。

【0015】 （7）前記ポリイミド系の樹脂からなる絶縁フィルムの面積が大きいため、温度サイクルに弱いという問題があった。

【0016】 （8）前記共用インナーリード（バスバーインナーリード）を越えてワイヤボンディングするので、生産性が悪いという問題があった。

【0017】 （9）前記接着層が軟らかいためワイヤボンディング条件の設定が困難であるので、生産性が悪いという問題があった。

【0018】 （10）前記絶縁フィルムを半導体チップに取り付けるための作業性が悪いので、生産性が悪いという問題があった。

【0019】(11)前記半導体チップはインナーリードの一部によって固定されているのみであるため、半導体チップの固定が不十分である。このために、樹脂封止(モールド)時に半導体チップが移動するので、生産性が悪いという問題があった。

【0020】本発明の目的は、半導体装置の信頼性を向上することができる技術を提供することにある。

【0021】本発明の目的は、半導体装置において、半導体チップとリード間の浮遊容量による信号伝送速度の向上及び電気ノイズの低減を図ることができる技術を提供することにある。

【0022】本発明の他の目的は、半導体装置において、発熱された熱の放熱効率の向上を図ることができる技術を提供することにある。

【0023】本発明の他の目的は、半導体装置において、リフロー時の熱の影響を低減することができる技術を提供することにある。

【0024】本発明の他の目的は、半導体装置において、温度サイクルにおける熱の影響を低減することができる技術を提供することにある。

【0025】本発明の他の目的は、半導体装置において、成形欠陥の発生を防止することができる技術を提供することにある。

【0026】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかにする。

【0027】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0028】半導体チップの回路形成面上に、複数のインナーリードが、前記半導体チップと電気的に絶縁する絶縁体を介在して接着剤で接着され、該インナーリードと半導体チップとがボンディングワイヤで電気的に接続され、樹脂で封止された半導体装置において、前記半導体チップの回路形成面を覆うパッシベーション膜が α 線遮蔽用ポリイミド膜を有し、半導体チップ上に少なくともインナーリードの先端又は及び吊りリードとが接着される箇所に部分的に絶縁膜が形成されていることを特徴とする半導体装置。

【0029】更に、前記絶縁体は、印刷の可能な無機フィラを含有する熱硬化性樹脂である。

【0030】更に、前記半導体チップの回路形成面に加えて、回路形成面とは反対側の面にポリイミド膜が形成されている。

【0031】(作用)本発明によれば、本発明における半導体チップのボンディングパッド以外の回路形成領域全域に α 線遮蔽用ポリイミド膜が被覆され、半導体チップ上に少なくともインナーリードの先端又は及び吊りリードとが接着される箇所に絶縁膜が形成されているの

で、前記 α 線遮蔽用ポリイミド膜で回路形成領域全域への α 線を遮蔽することができ、前記絶縁膜で半導体チップを接着固定することができる。

【0032】また、半導体チップ上に少なくともインナーリードの先端又は及び吊りリードとが接着される箇所に部分的に絶縁膜が形成されるので、半導体チップとインナーリードとの間の浮遊容量を低減することができる。

【0033】なお、厚膜の絶縁体をウェーハ・プロセスで形成しても、部分的に形成するのでウェーハは反らない。

【0034】本発明によれば、絶縁膜と半導体チップの主面とを接合する面積が減少したことにより、絶縁膜による吸湿量を最小限にするので、リフロー時における熱の影響及び温度サイクルによる熱の影響を低減することができる。また、これにより、半導体チップとリードとの間の浮遊容量が従来のものに比べて小さくなるので、信号伝送速度の向上及び電気ノイズの低減を図ることができる。

【0035】本発明によれば、本発明における絶縁膜が、印刷の可能な無機フィラーを含有する熱硬化性樹脂であるので、ウエハプロセスにおいて、高精度の絶縁膜層を形成することができる。

【0036】本発明によれば、本発明における半導体チップの主面と反対側の面にポリイミド膜が形成されているので、リフロー時の熱により発生するクラックを防止することができる。

【0037】

【発明の実施の形態】以下、本発明の実施の形態を図面を用いて具体的に説明する。

【0038】なお、実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0039】(実施の形態1)本発明の実施の形態1であるDRAMを封止する樹脂封止型半導体装置を図1(部分断面斜視図)、図2(平面図)及び図3(図2のイ-イ線で切った断面図)で示す。

【0040】第1図、図2及び図3に示すように、DRAM(半導体ペレット)1はSOJ(Small Out-line J-bend)型の樹脂封止型パッケージ2で封止されている。前記DRAM1は、16[Mbit]×1[bit]の大容量で構成され、16.48[mm]×8.54[mm]の平面長方形で構成されている。このDRAM1は400[mil]の樹脂封止型パッケージ2に封止される。

【0041】前記DRAM1の主面には主にメモリセルアレイ及び周辺回路が配置されている。メモリセルアレイは後に詳述するが1[bit]の情報を記憶するメモリセル(記憶素子)を行列状に複数配置している。前記周辺回路は直接周辺回路及び間接周辺回路で構成されている。直接周辺回路はメモリセルの情報書き込み動作や情報読出

し動作を直接制御する回路である。直接周辺回路はロウアドレスデコード回路、カラムアドレスデコード回路、センスアンプ回路等を含む。間接周辺回路は前記直接周辺回路の動作を間接的に制御する回路である。間接周辺回路はクロック信号発生回路、バッファ回路等を含む。

【0042】前記DRAM1の主面つまり前記メモリセルアレイ及び周辺回路を配置した表面上にはインナーリード3Aを配置している。DRAM1とインナーリード3Aとの間には絶縁性フィルム4を介在している。絶縁性フィルム4は例えばポリイミド系樹脂膜で形成されて 10 いる。この絶縁性フィルム4のDRAM1側、インナーリード3A側の夫々の表面には接着層(図示しない)が設けられている。接着層としては例えばポリエーテルアミドイミド系樹脂やエポキシ系樹脂を使用する。この種の樹脂封止型パッケージ2はDRAM1上にインナーリード3Aを配置したLOC(Lead On Chip)構造を採用している。LOC構造を採用する樹脂封止型パッケージ2は、DRAM1の形状に規制されずにインナーリード3Aを自由に引き回せるので、この引き回しに相当する 20 分、サイズの大きなDRAM1を封止することができ、つまり、LOC構造を採用する樹脂封止型パッケージ2は、大容量化に基づきDRAM1のサイズが大型化しても、封止サイズは小さく抑えられるので、実装密度を高めることができる。

【0043】前記インナーリード3Aはその一端側をアウターリード3Bと一体に構成している。アウターリード3Bは、標準規格に基づき、夫々に印加される信号が規定され、番号が付されている。同図2中、左端手前は1番端子、右端手前は14番端子である。右端裏側(端子番号はインナーリード3Aに示す)は15番端子、左 30 端裏側は28番端子である。つまり、この樹脂封止型パッケージ2は1~6番端子、9~14番端子、15~20番端子、23~28番端子の合計24端子で構成されている。

【0044】前記1番端子は電源電圧Vcc端子である。前記電源電圧Vccは例えば回路の動作電圧5[V]である。2番端子はデータ入力信号端子(D)、3番端子は空き端子、4番端子はライトイネーブル信号端子(W)、5番端子はロウアドレスストロブ信号端子(RE)、6番 40 端子はアドレス信号端子(A₀)である。

【0045】9番端子はアドレス信号端子(A₁)、10番端子はアドレス信号端子(A₂)、11番端子はアドレス信号端子(A₃)、12番端子はアドレス信号端子(A₄)、13番端子はアドレス信号端子(A₅)である。14番端子は電源電圧Vcc端子である。15番端子は基準電圧Vss端子である。前記基準電圧Vssは例えば回路の基準電圧0[V]である。16番端子はアドレス信号端子(A₆)、17番端子はアドレス信号端子(A₇)、18番 50 端子はアドレス信号端子(A₈)、19番端子はアドレス信号端子(A₉)、20番端子はアドレス信号端子(A₁₀)で

ある。

【0046】23番端子はアドレス信号端子(A₁₁)、24番端子は空き端子、25番端子はカラムアドレスストロブ信号端子(CE)、26番端子は空き端子、27番端子はデータ出力信号端子である。28番端子は基準電圧Vss端子である。

【0047】前記インナーリード3Aの他端側は、DRAM1の長方形の夫々の長辺を横切り、DRAM1の中央側に引き伸ばされている。インナーリード3Aの他端側の先端はボンディングワイヤ5を介在させてDRAM1の中央部分に配列された外部端子(ボンディングパッド)BPに接続されている。ボンディングワイヤ5はアルミニウム(A1)ワイヤを使用する。また、ボンディングワイヤ5としては、金(Au)ワイヤ、銅(Cu)ワイヤ、金属ワイヤの表面に絶縁性樹脂を被覆した被覆ワイヤ等を使用してもよい。ボンディングワイヤ5は熱圧着に超音波振動を併用したボンディング法によりボンディングされている。

【0048】前記インナーリード3Aのうち1番端子、14番端子の夫々のインナーリード(Vcc)3Aは一体に構成され、DRAM1の中央部分をその長辺に平行に引き伸ばされている。同様に、15番端子、28番端子の夫々のインナーリード(Vss)3Aは一体に構成され、DRAM1の中央部分をその長辺に平行に引き伸ばされている。インナーリード(Vcc)3A、インナーリード(Vss)3Aの夫々は、その他のインナーリード3Aの他端側の先端で規定された領域内において平行に延在させている。このインナーリード(Vcc)3A、インナーリード(Vss)3Aの夫々はDRAM1の主面のどの位置においても電源電圧Vcc、基準電圧Vssを供給することができるように構成されている。つまり、この樹脂封止型半導体装置2は、電源ノイズを吸収し易く構成され、DRAM1の動作速度の高速化を図れるように構成されている。

【0049】前記DRAM1の長方形の短辺にはベレット支持用リード3Cが設けられている。

【0050】前記インナーリード3A、アウターリード3B、ベレット支持用リード3Cの夫々はリードフレームから切断されかつ成型されている。リードフレームは例えばFe-Ni(例えばNi含有率42又は50 40 [%])合金、Cu等で形成されている。

【0051】前記DRAM1、ボンディングワイヤ5、インナーリード3A及びベレット支持用リード3Cは樹脂封止部6で封止されている。樹脂封止部6は、低応力化を図るために、フェノール系硬化剤、シリコンゴム及びフィラーが添加されたエポキシ系樹脂を使用している。シリコンゴムはエポキシ系樹脂の熱膨張率を低下させる作用がある。フィラーは球形の酸化珪素粒で形成されており、同様に熱膨張率を低下させる作用がある。

【0052】次に、前記樹脂封止型パッケージ2に封止

されたDRAM1の概略構成を図3（チップレイアウト図）に示す。

【0053】図3に示すように、DRAM1の表面の略全域にメモリセルアレイ(MA)11が配置されている。本実施の形態のDRAM1は、これに限定されないが、メモリセルアレイ11は大きく4個のメモリセルアレイ11A~11Dに分割されている。同図3中、DRAM1の上側に2個のメモリセルアレイ11A及び11Bが配置され、下側に2個のメモリセルアレイ11C及び11Dが配置されている。この4個に分割されたメモリセルアレイ11A~11Dの夫々はさらに16個のメモリセルアレイ(MA)11Eに細分化されている。つまり、DRAM1は64個のメモリセルアレイ11Eを配置する。この64個に細分化された1個のメモリセルアレイ11Eは256[Kbit]の容量で構成されている。

【0054】前記DRAM1の64個に細分化されたうちの2個のメモリセルアレイ11Eの間には夫々センスアンプ回路(SA)13が配置されている。センスアンプ回路13は相補型MISFET(CMOS)で構成されている。DRAM1の4個に分割されたうちのメモリセルアレイ11A、11Bの夫々の下側の一端にはカラムアドレスデコード回路(YDEC)12が配置されている。同様に、メモリセルアレイ11C、11Dの夫々の上側の一端にはカラムアドレスデコード回路(YDEC)12が配置されている。

【0055】前記DRAM1の4個に分割されたうちのメモリセルアレイ11A、11Cの夫々の右側の一端にはワードドライバ回路(WD)14、ロウアドレスデコード回路(XDEC)15、単位マツト制御回路16の夫々が左側から右側に向って順次配置されている。同様に、メモリセルアレイ11B、11Dの夫々の左側の一端にはワードドライバ回路14、ロウアドレスデコード回路15、単位マツト制御回路16の夫々が右側から左側に向って順次配置されている。

【0056】前記センスアンプ回路13、カラムアドレスデコード回路12、ワードドライバ回路14、ロウアドレスデコード回路15の夫々はDRAM1の周辺回路のうちの直接周辺回路を構成する。この直接周辺回路はメモリセルアレイ11の細分化されたメモリセルアレイ11Eに配置されたメモリセルを直接制御する回路である。

【0057】前記DRAM1の4個に分割されたうちのメモリセルアレイ11A、11Bの夫々の間、メモリセルアレイ11C、11Dの夫々の間には、夫々周辺回路17及び外部端子BPが配置されている。周辺回路17としてはメインアンプ回路1701、出力バッファ回路1702、基板電位発生回路(Vssジェネレータ回路)1703、電源回路1704の夫々を配置している。メインアンプ回路1701は4個単位に合計16個配置されている。出力バッファ回路1702は合計4個配置さ

れている。

【0058】前記外部端子BPは、前記樹脂封止型半導体装置2をLOC構造で構成し、DRAM1の中央部までインナーリード3Aを引き伸している。DRAM1の中央部分に配置されている。外部端子BPは、メモリセルアレイ11A及び11C、11B及び11Dの夫々で規定された領域内に、DRAM1の上端側から下端側に向って配置されている。外部端子BPに印加される信号は、前述の図2に示す樹脂封止型半導体装置2において説明したので、ここでの説明は省略する。基本的には、DRAM1の表面上の上端側から下端側に向って基準電圧(Vss)、電源電圧(Vcc)の夫々が印加されたインナーリード3Aが延在するので、DRAM1はその延在方向に沿って基準電圧(Vss)用、電源電圧(Vcc)用の夫々の外部端子BPを複数配置している。つまり、DRAM1は基準電圧(Vss)、電源電圧(Vcc)の夫々の電源の供給が充分に行えるように構成されている。データ入力信号(D)、データ出力信号(Q)、アドレス信号(A₀~A_n)、クロック系信号、制御信号の夫々はDRAM1の中央部分に集中的に配置されている。

【0059】前記DRAM1の4個に分割されたうちのメモリセルアレイ11A、11Cの夫々の間、11B、11Dの夫々の間には夫々周辺回路18が配置されている。周辺回路18のうち左側にはロウアドレスストローブ(RE)系回路1801、ライトイネーブル(W)系回路1802、データ入力バッファ回路1803、VCC用リミッタ回路1804、Xアドレスドライバ回路(論理段)1805、X系冗長回路1806、Xアドレスバッファ回路1807の夫々が配置されている。周辺回路18のうち右側にはカラムアドレスストローブ(CE)系回路1808、テスト回路1809、VDL用リミッタ回路1810、Yアドレスドライバ回路(論理段)1811、Y系冗長回路1812、Yアドレスバッファ回路1813の夫々が配置されている。周辺回路18のうち中央にはYアドレスドライバ回路(ドライブ段)1814、Xアドレスドライバ回路(ドライブ段)1815、マツト選択信号回路(ドライブ段)1816の夫々が配置されている。

【0060】前記周辺回路17、18(16も含む)はDRAM1の間接周辺回路として使用されている。

【0061】次に、リードフレームの詳細について説明する。

【0062】本実施の形態1のリードフレームは、図1及び図5（リードフレーム全体平面図）に示すように、20本の信号用インナーリード3Aと2本の共用インナーリード3Aが設けられている。該インナーリード3A（信号用インナーリード3A及び共用インナーリード3A）は、図3及び図6（要部断面説明図）に示すように、そのインナーリード3Aの絶縁性フィルム（絶縁体）4と接着する部分よりアウターリード3B側

の部分と半導体チップ1との間隔が、前記絶縁性フィルム(絶縁体)4と接合する部分と半導体チップ1との間隔より広くなるような段差構造になっている。このようにインナーリード3Aを段差構造にしたことにより、半導体チップとリードとの間の浮遊容量が従来のものに比べて小さくなるので、信号伝送速度の向上及び電気ノイズの低減を図ることができる。

【0063】また、半導体チップ1の主面と絶縁性フィルム4との接着、絶縁性フィルム4とインナーリード3Aとの接着は、図6に示すように、接着剤7で接着する。また、接着剤7は、図7に示すように、半導体チップ1の主面と絶縁性フィルム4との接着には用いないで、絶縁性フィルム4とインナーリード3Aとの接着にのみ使用しても良い。

【0064】なお、前記インナーリード3Aは、共用インナーリード3A₁が設けられていないパッケージに適用しても前述の効果を奏する。

【0065】また、前記リードフレームの所定位置に、図1及び図5に示すように、前記半導体チップ1の主面を接着固定するための通電しないチップ支持用リード(吊りリード)3Cが設けられている。

【0066】このように通電しない吊りリード3Cによって半導体チップ1の主面を接着固定することにより、半導体チップ1を強固に固定されるので、半導体装置の信頼性及び耐湿性の向上を図ることができる。

【0067】次に、前記絶縁性フィルム4の詳細について説明する。

【0068】半導体チップ1の主面上に絶縁性フィルム4の占める面積が半導体チップ1の面積に対して少なくとも1/2以下になっている。このように、絶縁性フィルム4の占める面積が半導体チップ1の面積に対して少なくとも1/2以下にすることにより、絶縁性フィルム4による吸湿量を低減するので、リフロー時における熱の影響及び温度サイクルによる熱によって発生する蒸気による影響を防止することができる。つまりパッケージのクラック等の発生を防止することができるので、半導体装置の信頼性を向上することができる。

【0069】また、これにより、半導体チップ1とリードとの間の浮遊容量が従来のものに比べて小さくなるので、信号伝送速度の向上及び電気ノイズの低減を図ることができる。

【0070】さらに、前記絶縁性フィルム4と半導体チップ1の主面とを接合する面積が製造上可能な最小限の値にすることにより、前述の効果をさらに顕著にすることができる。また、インナーリードの半導体チップと接着する一部分のみに絶縁膜(絶縁フィルム)を使用するので、リード間におけるリークを低減することができる。

【0071】また、半導体チップ1の主面上の前記絶縁性フィルム4の代りに、図8に示すように、前記インナ

ーリード3Aの一部を含む樹脂成形体6を用いて、半導体チップ1とインナーリード3Aとの間の距離を充分大きく取り、半導体チップ1とインナーリード3Aとの間の浮遊容量を小さくするように構成してもよい。

【0072】このようにすることにより、樹脂成形体6とモールド樹脂(例えば、レジン)2Aとを相性の良い材料で形成するので、剥離界面リード間の剥離を低減することができる。

【0073】前記樹脂成形体6と半導体チップ1との接着は、図10に示すように、接着剤7によって接着してもよい。

【0074】絶縁性フィルム4の基材及び樹脂成形体6としては、エポキシ系樹脂、BT(ビスマレイミドトリアジン)樹脂、フェノール樹脂(レゾール系等)、ポリイミド樹脂(エーテル結合及びカルボニル結合を含む芳香族ポリイミド又は脂環式ポリイミド等)等から選択された1種又は複数の樹脂を主成分とし、これに、必要に応じて無機質フィラ又は繊維硬化剤、各種添加剤等を加えて成形される。

【0075】また、絶縁性フィルム4の基材及び樹脂成形体6の材料の他の例としては、脂環式ポリイミド、ポリエステル、ポリスルホン、芳香族ポリエーテルアミド、芳香族ポリエステルイミド、ポリフェニレンサルファイド、ポリアミドイミド及びその変成物、ポリエーテルエーテルケトン、ポリエーテルサルフォン、ポリエーテルアミドイミド等の熱可塑性樹脂を主成分とし、必要に応じてこれに無機質フィラ又は繊維、添加剤を加えて成形される。

【0076】また、絶縁性フィルム4又は樹脂成形体6をインナーリード3A及び半導体チップ1に接合するための接着としては、エポキシ系樹脂、BT樹脂、フェノール樹脂(レゾール系等)ポリイミド系樹脂、イソメラン系樹脂、シリコン樹脂及びこれらの樹脂の複数をを用いて変成した熱硬化性樹脂または芳香族ポリエーテルアミド、ポリエーテルエーテルケトン、ポリスルホン、芳香族ポリエステルイミド、ポリエステル、脂環式ポリイミド等の熱可塑性樹脂の中から選択することができる。

【0077】また、SOJ等の面実装型集積回路ではプリント基板(PCB)へ半田実装する場合に、ベーパーフェーズリフロー溶剤法又は赤外線リフロー溶剤法が用いられるが、この場合パッケージ内の吸湿水分がリフロー温度(215~260℃)で気化膨張し、チップ界面の接着を剥し、剥離面の内圧が上昇して封止レジンがクラックする場合がある。

【0078】LOC構造では、インナーリード3Aと半導体チップ1を絶縁フィルム4又は樹脂成形体6で接合する構造であるため、絶縁フィルム4又は樹脂成形体6自身の吸湿によって、前述の現象を加速する。従って、これを低減するためには、絶縁フィルム4の体積を小さくし、吸湿量を低減することが有効となる。

【0079】接合面積の下限は、ワイヤボンディング及び樹脂（レジン）モールド（封止）の工程で受ける外力に耐えられる面積である。

【0080】ここで、前記絶縁性フィルム4又は樹脂成形体6の絶縁体の材料物性について検討する。

【0081】LOC構造の半導体装置又はCOL（Chip On Lead）構造の半導体装置におけるインナーリード3Aと半導体チップ1との間の接合絶縁材料として下記7項目の条件の内2個以上の条件を満たす材料を使用する。

【0082】（1）飽和吸湿率が封止レジンと同程度もしくはそれ以下であること。

【0083】これは、ベイパー・フェース・ソルダー（VPS）時のレジックラック防止に有効である。

【0084】（2）誘電率が4.0（at 10⁴Hz、常温～200℃）以下であること。

【0085】これは、インナーリードと半導体チップとの間の浮遊容量を低減する。

【0086】（3）200℃でのバーコル硬度20以上であること。

【0087】これは、ワイヤボンディング性を良好にする。

【0088】（4）U、Thの含有量が1ppb以下、120℃、100時間抽出した場合の可溶性ハロゲン元素量10ppm以下である。

【0089】これは、ソフトエラーの防止、耐湿性の向上に有効である。

【0090】（5）半導体チップ及びインナーリードとの接着性が良好であること。

【0091】これは、ワイヤボンディング性の確保、耐湿性の向上、インナーリード間の電流リークの防止等が図れる。

【0092】（6）線熱膨張係数が $20 \times 10^{-6}/^{\circ}\text{C}$ 以下であること。

【0093】これは、インナーリード3Aに絶縁材料を接合した場合の反りを低減し、次工程の半導体チップへの接合作業性の改善が図れる。

【0094】（7）熱可塑樹脂の場合は、ガラス転移温度T_gが220℃以上であること。

【0095】これは、リフローソルダー時の高温（215℃）において、ガラス転移温度T_gが220℃未満の材料では熱変形し、パッケージクラックが発生し易くなるが、前記条件はこれを防止する効果がある。

【0096】前記7項目の条件の内、少なくとも2条件を満たす材料の実施の形態について説明する。

【0097】例えば、カプトン（デュボン社製ポリイミドフィルム）500H又はユービレックスS（宇部興産社のポリイミドフィルム）の両面を粗面化し、この両面にガラス転移温度T_gが220以上のポリエーテルアミドを25μmコーティングしたフィルムでは、前記項目の内（1）項を除いて、その条件を満たす材料であ

る。

【0098】また、高純度石英繊維又はアラミド繊維を補強材としたビスマレイミドフィルムあるいはエポキシフィルムもしくはエポキシ変形ポリイミドフィルム125μmの両面に、エポキシ樹脂、レゾール樹脂、イソメラミン樹脂、フェノール変成エポキシ樹脂、エポキシ変成ポリイミド樹脂の内から選ばれた接着剤を10～25μm塗布・乾燥したフィルムでは、前記項目の内（1）～（6）項を満たす材料である。

10 【0099】また、テフロンPFA（デュボン社製の4フッ化エチレン-パーフルオロアルコキシ共重合体）、あるいはテフロンEFP（デュボン社製の4フッ化エチレン-パー6フッ化プロピレン共重合体）、もしくはカプトンFタイプ（東レ・デュボン社製、カプトンフィルムの両面にテフロンEFPを薄くコーティングした材料）フィルムを、プラズマ処理等の方法で接着性を改善し、この両面にエポキシ樹脂、レゾール樹脂、芳香族ポリエーテルアミド樹脂、ポリイミド前駆体等から選ばれた接着剤をコーティングしたフィルムでは、前記項目をいづれも満足すると共に、特に吸湿率及び誘電率が小さいという特徴がある。

【0100】次に、リードフレーム3に絶縁性フィルム4を介在させて接着剤を用いて半導体チップ1を接着固定する方法について説明する。

20 【0101】図11（リードフレーム3と絶縁性フィルム4と半導体チップ1との関係を示す展開図）に示すように、半導体チップ1の主面の信号用インナーリード3A、共用インナーリード3A₁、吊りリード3Cのそれぞれに対向する位置の上に、絶縁性フィルム4を分割して接着剤7（図1及び図6）により貼り付ける。次に、前記図6に示すように、リードフレーム3の信号用インナーリード3A₁、共用インナーリード3A₁、吊りリード3Cを接着剤7により接着固定する。

【0102】前記モールド樹脂材料（レジン）の例を次に示す。

【0103】（1）熱硬化性樹脂に、粒度分布0.1～100μm、平均粒径が5～20μm、最大重填密度が0.8以上の実質的に球形の無機フィラーを70重量百分率（wt%）以上配合した樹脂組成物を用いる。

【0104】この場合の樹脂成分は、エポキシ、レゾール、ポリイミドのいずれであってもよい。

【0105】このように、前記球形の無機フィラー（例えば、熔融シリカ）を用いたモールド樹脂材料は、図12（充填剤の充填密度と流動性の関係を示す図）に示すように、その材料の熔融粘度や流動性に及ぼす影響が少ないために配合量を増やして材料の低熱膨張化が図れる。また、図13（フィラー配合量と成形品の物性との関係を示す図）及び図14（フィラー配合量と熱応力との関係を示す図）フィラーを増量して成形品の熱応力を低減させることができる。そのため、パッケージは耐クラック

性が良好となる。

【0106】特にLOC構造のような繊細な構造を有する半導体装置をモールドする場合の装置の変形や損傷を防止することができる。

【0107】(2) 高純度のフェノール硬化型エポキシ樹脂、レゾール型フェノール樹脂、ビスマレイミド樹脂のうち少なくとも一種を主成分とした樹脂組成物を用いる。

【0108】末精製レゾール樹脂を用いた場合の硬化物特性は、表1(末尾の頁にあり)に示すように、精製品との大きな違いは、体積抵抗率が特に140℃で3桁以上異なる。また、イオン性不純物が多いため抽出液の電気的伝導度にも大きな差がみられる。

【0109】精製レゾール樹脂の製造法は、例えば、フラスコにフェノール500g、30%のホルマリン550g、硬化剤として酢酸亜鉛5gを加え、攪拌しながら徐々に加熱し、環流しながら90℃で60分間加熱する。その後、フラスコ内を20mmHgに減圧し、縮合水並びに未反応成分を除去した。

【0110】次に、この反応生成物に300gのアセトンを加えて反応生成物を溶解し、さらに純水を加え、500℃で30分間激しく攪拌する。冷却後丈夫の水層を除去し、再び反応生成物を300gのアセトンに溶解し、さらに純水を加え50℃で30分間激しく攪拌し、冷却後上部の水層を除去する。この洗浄操作を5回繰り返す。各洗浄を行う毎に反応生成物の一部を取り出し夫々減圧しながら40℃で48時間乾燥し、精製度合いが異なる6種類のレゾール型フェノール樹脂を得る。

【0111】こうして得られたレゾール型フェノール樹脂の精製回数と樹脂の融点、硬化特性並びにこれらのレゾール型フェノール樹脂5gに純水50gを加え120℃で120時間加熱した後の抽出水の水素イオン濃度(pH)、電気伝導度並びに抽出されたイオン性不純物濃度の分析結果を第2表(末尾の頁にあり)にまとめて示す。

【0112】表2から明らかなように、前記洗浄の操作を5回繰り返したレゾール型樹脂フェノール樹脂は、イオン不純物が極めて少ないことが分かる(特願昭63-141750号参照)。

【0113】このように、精製による効果としては、前記特性上の違いからモールド品の耐湿信頼性やAu/A1接合部の高温寿命、素子特性の向上等が図れる。

【0114】(3) 高純度のレゾール型フェノール樹脂あるいはビスマレイミド樹脂のいずれかを主成分とし、かつ、その成形品は215℃の曲げ強度が3kgf/mm²以上であるもの、例えば、第1表の実施例2、3のものを用いる。

【0115】このように、高純度のレゾール型フェノール樹脂やポリイミド樹脂を用いた封止材料は成形品の耐熱性が高く、215℃の曲げ強度が3kgf/mm²以

上であるので、パッケージを吸湿させた場合の耐リフロー性(パッケージクラック)あるいはリフロー後の耐湿信頼性や耐熱衝撃性が極めて良好となる。

【0116】(4) 前記(2)又は(3)項のベース樹脂に配合される無機フィラとして、粒度分布0.1~100μm、平均粒径5~20μm、最大充填密度が0.8以上の実質的に球形の溶融シリカであるものであり、例えば、第1表の実施例1、2、3のいずれかのものを用いる。

【0117】このように、前記球形の溶融シリカを用いた封止材料は、その材料の溶融粘度や流動性に及ぼす影響が少ないために配合量を増やして材料の低熱膨張化が図れる。そのため、パッケージは、前記(2)又は(3)項の効果の上に耐クラック性が良好となる。

【0118】(5) 前記樹脂封止材料が、無機フィラとして粒度分布0.1~100μm、平均粒径5~20μm、最大充填密度が0.8以上の実質的に球形の溶融シリカを組成物全体に対して67.5体積百分率(vol%)以上配合され、成形品は線膨張係数が1.4×10⁻⁶/℃以下であるものであり、例えば、第1表の実施例1、2、3のいずれかのものを用いる。

【0119】このようにすることにより、前記球形の溶融シリカの効果を更に有効にすることができる。

【0120】(6) 前記樹脂封止材料が、10倍量のイオン交換水と混合し、120℃で100時間抽出した場合に抽出液のpHが3~7、電気伝導度が200μS/cm以下、ハロゲンイオン、アンモニアイオン並びに金属イオンの抽出量が10ppm以下であるもの、例えば、表1の例1、2、3のいずれかのものを用いる。

【0121】次に、前記樹脂封止材料の例(1)乃至(6)の一実験例について述べる。

【0122】表1に示すように、熱硬化性樹脂としてエポキシ樹脂(従来例)、レゾール型フェノール樹脂(実施例1)及びビスマレイミド樹脂(実施例2)をベース樹脂として用い、これにフィラとして粒度分布0.1~100μm、平均粒径5~20μm、最大充填密度が0.90の実質的に球形の溶融シリカ、さらに、各種添加剤を加え、当該混合物を約80℃に加熱した二軸ロールで10分間溶融加熱し、冷却後粉碎し3種類の樹脂封止材料を作製した。

【0123】次いで、各樹脂封止材料を用い、トランスファ成形機で図1に示すLOC構造を有する半導体装置、すなわち、16MDRAMをモールドした。モールドは金型温度180℃、トランスファ圧力70kgf/mm²、成形時間90秒で行った。

【0124】前記実験例によれば、次のような効果を得ることができた。

【0125】(1) フィラーとして粒度分布0.1~100μm、平均粒径が5~20μm、最大充填密度が0.8以上の実質的に球形の溶融シリカを用いた封止材

料は、一般に用いられている角形溶融シリカを用いた場合と比べて溶融粘度が低く、材料の流動性が良好なため、モールドに際し、Au等のボンディングワイヤ5やリードフレーム3を変形させたり、半導体チップ1を押し流すことがなく、しかも、パッケージの狭い隙間にも良く充填した。

【0126】(2) 前記球形溶融シリカは、材料の溶融粘度や流動性に及ぼす影響が少ないために、配合量を増やして材料の低熱膨張化が図れる。そのため、パッケージは、耐クラック性が良好であった。

【0127】(3) 従来の半導体封止材料としては、エポキシ樹脂が使用され、フェノール樹脂やポリイミド樹脂は、イオン性不純物が多いために電気特性や耐湿信頼性が劣り実用化されなかった。しかし、高純度のレゾール型フェノール樹脂やポリイミド樹脂を使用すれば、良好な信頼性を得ることができた。

【0128】(4) 高純度のレゾール型フェノール型樹脂やポリイミド樹脂を用いた封止材料は、成形品の耐熱性が高く、特に高温の機械強度が優れるためにパッケージを吸湿させた場合の耐リフロー性(パッケージクラック)あるいは、リフロー後の耐湿信頼性や耐熱衝撃性が極めて良好であった。

【0129】次に、樹脂封止材料を金型に注入する細に、ボイドの発生、ボンディングワイヤの曲り、充填不足等を防止するための手段について説明する。

【0130】前記図1に示すように、半導体チップ1の主面上に、複数のインナーリード3Aが、前記半導体チップ1と電気的に絶縁する絶縁性フィルム4を介在して接着剤7で接着され、該インナーリード3Aと半導体チップ1とがボンディングワイヤ5で電気的に接続され、樹脂で封止された16MDRAMにおいて、図15(図1の要部断面図)に示すように、前記インナーリード3Aの半導体チップ1と接着している部分からパッケージ2の外壁までの距離 H_1 が、半導体チップの回路形成面の反対側の面からパッケージの外壁までの距離 H_2 より大きくなるようなパッケージ構造にする。

【0131】このようなパッケージ構造にすることにより、図16(図15をモデル化した断面図)、図17(図16のハーフ断面図)、図18(図16の二二断面図)に示すように、インナーリード3Aの上部の流路の深さ h_{11} と h_{12} 、インナーリード3Aと半導体チップ1との中間部の深さ h_1 及び半導体チップ1の下部の流路の深さ h_2 の関係が夫々次式で表される。

$$\begin{aligned} \text{【0132】 } h_1 = h_2 = & \{ h_c - t_c - 2W_1 t_r / W_c \} \\ & \div \{ 2(1 + W_1 / W_c) \} \end{aligned}$$

$$h_{11} = h_c - 2h_{1011} - t - t_c$$

$$h_{12} = h_{1012} + t$$

ここで、

h_c : キャビティ深さ

t_c : チップ厚さ

t_r : リードフレーム厚さ

W_c : キャビティ幅

W_1 : チップから浮かせたリードフレーム長さである。

【0133】前記各式の夫々関係をグラフにすると、図19のようになる。

【0134】このように、パッケージ2のレジン流路をインナーリード3Aの上部流路、インナーリード3Aと半導体チップ1の中間部流路及び半導体チップ1の下部流路の3つに分割し、各流路のレジン平均流速が等しくなるように、各流路の深さ及びレジン流路構造を設定することにより、図17に示す各流路①、②、③のレジン平均流速が等しくなるので、ボイド発生、ボンディングワイヤ(金線)5の曲り、充填不足等を防止することができる。

【0135】また、前記各流路①、②、③のレジン平均流速が等しくなるので、半導体チップ1及びインナーリード3Aの変形が防止することができ、高信頼性のパッケージを得ることができる。

【0136】(実施の形態2) 本発明の実施の形態2の半導体集積回路装置は、図20、図21のA、図21のB、図22のA及び図22のBに示すように、前記実施の形態1の半導体チップ1の主面上に貼り付けられた絶縁性フィルム4を信号用インナーリード3A及び共用インナーリード3A₂の半導体チップ1との対向面のチップ最近接面の全面又は一部に絶縁性フィルム4Aが配設されたものである。

【0137】すなわち、前記絶縁性フィルム4Aは、例えば、図20に示すように、リードフレーム3の状態では、信号用インナーリード3A₁及び共用インナーリード3A₂の半導体チップ1の主面と対向する面の半導体チップに最近接する面の全面に、絶縁性フィルム4Aをあらかじめ配設しておき、組み立て時に前記絶縁性フィルム4Aと半導体チップ1を接着剤で接着固定する。

【0138】前記絶縁性フィルム4A付リードフレーム3は、例えば、1枚のインナーリード用薄板の半導体チップ1の主面と対向する面の半導体チップ1に最近接する面全面に、絶縁性フィルム4を貼り付けて、プレス等で成形切断し、信号用インナーリード3A₁及び共用インナーリード3A₂と絶縁性フィルム4Aとが一度に作製される。

【0139】このようにすることにより、絶縁性フィルム4Aの面積を低減することができる。また、信号用インナーリード3A₁及び共用インナーリード3A₂と絶縁性フィルム4Aとの位置合わせも良好に行うこともできる。また、信号用インナーリード3A₁と共用リード3A₂との間に絶縁性フィルム4が存在しないので両者間のリークを防止することができる。

【0140】なお、前記絶縁性フィルム4は、複数枚に分割して、例えば4分割して貼り付ける方が、1枚の絶縁性フィルム4の場合より熱による応力の影響を低減す

ることができる。

【0141】また、図21のAに示すように、前記半導体チップ1の主面と対向する面の半導体チップ1に最近接する面（裏面）の全面のうち、信号用インナーリード3A₁と共用リード3A₂のボンディング部に対応する部分のみに絶縁性フィルム4Bを配設し、半導体チップ1に対する絶縁性フィルム4Bの占める面積を最小にすることができる。

【0142】このような半導体チップ1に対する絶縁性フィルム4Bの占める面積が最小となる絶縁性フィルム4B付リードフレーム3は、例えば、図21のBに示すように、信号用インナーリード3A₁と共用リード3A₂の半導体チップ1の主面と対向する面の半導体チップ1に最近接する面全面に、所定位置に孔aが設けられた4枚の絶縁性フィルム4を貼り付けて、プレス等で成形切断し、信号用インナーリード3A₁と共用リード3A₂のボンディング部に対応する位置のみに絶縁性フィルム4Bを貼り付けたものが作製される。

【0143】このようになることにより、図20に示す実施の形態に比べて、さらに、絶縁性フィルム量を減じることができるので、さらに、吸湿量を低減することができる。また、このようになることにより、吊りリードを合わせると、半導体チップ1を固定しやすい。

【0144】なお、図21のAに示す実施の形態においては、ボンディング部に対応する部分のみに絶縁性フィルム4Aを配設したが、それ以外の部分に、必要に応じて部分的に絶縁性フィルム4Aを配設してもよい。

【0145】また、図22のAに示すように、図20に示す絶縁性フィルム4Aの部分に、共用インナーリード3A₂と信号用インナーリード3A₁の部分延長して交差させるように延長部分にも絶縁性フィルム4Cが配設されたものである。

【0146】この絶縁性フィルム4C付インナーリード3Aは、例えば、図22のBに示すように、信号用インナーリード3A₁に対応する部分のみが残るような孔bを設けた1枚の絶縁性フィルム4を作製し、この絶縁性フィルム4の長辺方向の中心線に沿って切断して2分割する。この2分割された絶縁性フィルム4Cを共用インナーリード3A₂及び信号用インナーリード3A₁に貼り付けることにより作製する。

【0147】このように予め絶縁性フィルム4を所定のパターンに切断して絶縁性フィルム4Cを形成し、絶縁性フィルム4Cを共用インナーリード3A₂及び信号用インナーリード3A₁に貼り付けるのみでよいので、絶縁性フィルム4Cの作製方法が容易である。また、このようにすることにより、絶縁性フィルム4Cを共用インナーリード3A₂及び信号用インナーリード3A₁に貼り付けるので、信号用インナーリード3A₁の先端を平坦化することができ、その後の工程の作業が容易になる。

【0148】前記絶縁性フィルム4Cと共用インナー

ード3A₂と信号用インナーリード3A₁との接着は、熱可塑性接着剤の場合には接熱圧着で行い、熱硬化型接着剤を用いる場合には仮止め後硬化を行うことで接合される。

【0149】なお、図20、図21のA及び図22のAに示す絶縁性フィルム4A、4B、4Cは、インナーリードの幅よりも、多少広くてもよいし、逆に狭くてもよい。

【0150】以上の説明からわかるように、本実施の形態2によれば、半導体チップ1と信号用インナーリード3A₁と共用リード3A₂との間に配設される絶縁性フィルム4の量は、従来のものに比べて極端に少ないので、湿度の高い環境中に長時間保持しても、半導体装置内に吸収される水分量を少なくできる。

【0151】これにより、半田リフロー工程中の半導体装置内水蒸気圧力を小さくできるので、レジクラックを起こさない半導体装置を提供することができる。

【0152】（実施の形態3）本発明の実施の形態3の半導体集積回路装置は、図23に示すように、前記実施の形態1の半導体チップ1の主面上に設けられているボンディングパッドBP以外の半導体チップ1の主面領域全域にα線遮蔽用ポリイミド膜8が被覆され、半導体チップ1の主面上に少なくとも信号用インナーリード3A₁及び共用インナーリード3A₂（図23には図示していない）の先端とが接着される箇所に絶縁性フィルム4Dが形成されている。

【0153】前記α線遮蔽用ポリイミド膜8の厚さは、2.0μm～10.0μmである。

【0154】前記絶縁性フィルム4Dの膜厚は、75μm以上である。この絶縁性フィルム4Dとしては、印刷の可能な無機フィラーを含有する熱硬化性樹脂が適している。

【0155】絶縁性フィルム4Dの占める面積は、半導体チップ1の面積に対して少なくとも1/2以下になっている。

【0156】また、半導体チップ1の主面と反対側の面にポリイミド膜9が形成されている。

【0157】次に、前記半導体チップ1の主面上に設けられているボンディングパッドBP以外の半導体チップ1の主面領域全域にα線遮蔽用ポリイミド膜8を被覆し、半導体チップ1の主面上に少なくとも信号用インナーリード3A₁、共用インナーリード3A₂の先端とが接着される箇所に絶縁性フィルム4Dを形成する方法の一実施の形態について図23及び図24のA（製造流れ図と各工程の断面図）を用いて説明する。

【0158】まず、図25（シリコンウェハの主面平面図）に示すシリコンウェハ10の全領域に、α線遮蔽用ポリイミド膜8を塗布し半硬化後、ホトエッチングしてボンディングパッド（外部端子）BPを露出させる（図24のAのステップ101）。

【0159】次に、溶剤剥離形ドライフィルムAを貼り付ける。(ステップ102)。この溶剤剥離形ドライフィルムAに所定のパターンを露光し(ステップ103)、現像して孔Bをあける(ステップ104)。

【0160】次に、ペースト状の絶縁体(印刷ペースト)Cを塗布してスキージによる埋め込み(印刷スキージによる埋め込み)、キュアを行う(ステップ105、106、107)。

【0161】次に、溶剤剥離形ドライフィルムAを剥離して絶縁性フィルム4Dを形成する。その後、図25に示すシリコンウェハ10上の実線に沿ってダイシングして絶縁性フィルム4D付半導体チップが完成する。

【0162】前記 α 線遮蔽用ポリイミド膜8及び絶縁性フィルム4Dを形成する方法の他の実施の形態は、図24のB(製造流れ図と各工程でのチップの断面図)に示すように、シリコンウェハ10の全領域に、 α 線遮蔽用ポリイミド膜8を塗布して、ホトエッチングしてボンディングパッド(外部端子)BPを露出させる(図24のBのステップ201)。

【0163】次に、ソルダレジスト用ドライフィルムDを張り付ける(ステップ202)。このソルダレジスト用ドライフィルムDに所定のパターンを露光し(ステップ203)、現像して絶縁性フィルム4D(ステップ204)を形成する。その後、図25に示すシリコンウェハ10上の実線に沿ってダイシングして絶縁性フィルム4D付半導体チップを完成する。

【0164】なお、前記厚膜の絶縁性フィルム4Dをシリコンウェハプロセスで形成しても、部分的に形成するのでシリコンウェハ10は反らない。

【0165】また、図26乃至図28は、半導体チップ1の主面上に少なくとも信号用インナーリード3A₁及び共用インナーリード3A₂の先端及び吊りリードとが接着される箇所に形成される絶縁性フィルム4Dの種々のパターン形状を示す。

【0166】以上の説明からわかるように、本実施の形態3によれば、半導体チップ1のボンディングパッド(外部端子)BP以外の主面領域全域に α 線遮蔽用ポリイミド膜8が被覆され、半導体チップ1の主面上に少なくとも信号用インナーリード3A₁及び共用インナーリード3A₂の先端とが接着される箇所に絶縁性フィルム4Dが形成されているので、前記 α 線遮蔽用ポリイミド膜8で回路形成領域全域への α 線を遮蔽することができ、前記絶縁性フィルム4Dで半導体チップ1を接着固定することができる。

【0167】また、半導体チップ1の主面上に少なくともインナーリード3Aの先端及び吊りリード3Cとが接着される箇所に絶縁性フィルム4Dが形成されているので、半導体チップ1とインナーリード3Aとの間の浮遊容量を低減することができる。

【0168】また、前記絶縁性フィルム4Dが、印刷の

可能な無機フィラを含有する熱硬化性樹脂であるので、ウェハプロセスにおいて、高精度の絶縁性フィルム4Dを形成することができる。

【0169】また、半導体チップ1の主面と反対側の面にポリイミド膜9を形成することにより、半導体チップ1とレジンとの接着が良好となるので、パッケージクラックを防止することができる。

【0170】また、前記絶縁性フィルム4Dが、少なくとも、シリコンウェハ10に溶剤剥離形ドライフィルムAを張り付け、通常の露光、現像工程を経たのち、ペースト状の絶縁体(印刷ペースト)を塗布しスキージにより埋め込み、加熱してキュアし、溶剤剥離形ドライフィルムを剥離することを含むウェハプロセスにより、絶縁性フィルム4Dが高精度にパッチ処理で形成されるので、生産性を向上することができる。

【0171】また、前記絶縁性フィルム4Dが、ソルダレジスト用ドライフィルムDの露光、現像のみにより形成されるので、さらに生産性を向上することができる。

【0172】(実施の形態4)本発明の実施の形態4の樹脂封止型導体装置は、図29(一部断面斜視図)に示すように、前記実施の形態Iの半導体チップ1の主面上に、複数の信号用インナーリード3A₁及び共用インナーリード3A₂が、前記半導体チップ1と電気的に絶縁する絶縁性フィルム4を介在して接着剤で接着され、該複数の信号用インナーリード3A₁及び共用インナーリード3A₂と半導体チップ1とがボンディングワイヤ5で電気的に接続され、モールド樹脂2Aで封止された半導体装置において、図30(図29のホーホ線で切った樹脂モールド前の状態を示す断面図)に示すように、前記半導体チップ1の主面の一部をモールド樹脂よりも可撓性あるいは流動性のある物質20で覆ってその物質20がボンディングワイヤ5の全体を覆うようにせしめ、その物質20の外側を樹脂2Aで封止したものである。

【0173】すなわち、共用インナーリード3A₂をまたぐボンディングワイヤ5の全体を可撓性・流動性物質20が覆われるようにダム21を設け、そのダム21に例えば流動状況のシリコーンゲルからなる可撓性・流動性物質20をボンディングワイヤ5の上から滴下させ、硬化させたのち、トランスファモールドによって樹脂封止する。

【0174】前記ダム21は、例えば粘度高いシリカフィラを入れたシリコーンゴムを用いる。

【0175】また、前記可撓性・流動性物質20は、必ずしも前記のようなゲル状物質である必要はなく、内部でボンディングワイヤ5が変形できる程度の可撓性あるいは流動性を有していれば、シリコーングリースやシリコーンゴムなど種々の材料を用いてもよい。

【0176】このようにすることにより、吸湿したパッケージのリフロー半田付け時に、半導体チップ1の主面が剥離して蒸気が膨張しても、ボンディングワイヤ5が

変形に自由に追従することができるので、ボンディングワイヤ5の断線を防止することができる。

【0177】また、モールド樹脂2Aのトランスファモールド時に、ボンディングワイヤ5の変形が拘束されているので、共用インナーリード3A₂をまたぐためにワイヤ5が長くなっている、モールド時のボンディングワイヤ5の変形やこれによるボンディングワイヤ5相互のショートあるいはボンディングワイヤ5と共用インナーリード3A₂との接触を防止することができる。

【0178】また、ボンディングワイヤ5の変形を防止するだけの目的であれば、ボンディングワイヤ5を覆う物質は、可撓性・流動性を有する物質である必要はない。半導体チップ1の主面上のボンディングワイヤ5部分にポッティングできる樹脂があれば、その外側のトランスファモールドされた樹脂2Aと同程度の弾性率を有するエポキシ樹脂などであっても良い。

【0179】また、可撓性・流動性物質20が流動性を有している場合、その粘度は樹脂2Aのトランスファモールド時の熔融粘度よりも高いことが必要である。

【0180】また、可撓性・流動性物質20によりボンディングワイヤ5に樹脂2Aが直接接していないので、温度サイクル時に半導体チップ1とモールド樹脂2Aの間の相対的な熱変形によってボンディングワイヤ5が繰返し変形を受け、疲労によって断線することもない。

【0181】また、可撓性・流動性物質20を使用する場合、ボンディングパッドBPの表面に、熱応力によって隙間が発生することなくなるので、ボンディングパッド部のアルミニウムが水分によって腐食することもない。

【0182】図31は、可撓性・流動性物質20を使用する場合の他の実施の形態の樹脂封止型半導体装置の樹脂モールド前の状態を示す断面図である。

【0183】図31に示すように、信号用インナーリード3A₁と樹脂2Aとの界面は、半導体チップ1の主面に比べて隙間が発生しにくいので、ボンディングワイヤ5の信号用インナーリード3A₁側のボンディング部は、断線を生じにくい。従って、この実施の形態は、断線を生じにくい。従って、この実施の形態は、断線の生じやすい半導体チップ1側のボンディング部（ファーストボンディング）近傍のみ、可撓性・流動性物質20を設けたものである。これにより、ボンディングワイヤ5が自由に変形できれば、ある程度の断線防止効果が得られる。

【0184】また、この実施の形態は、前記図30のダム21の代りに共用インナーリード3A₂を利用したものである。

【0185】ただし、この実施の形態の場合、ボンディングワイヤ5の全体が可撓性・流動性物質20で覆われていないので、パッケージに温度サイクルが作用した場合、半導体チップ1とモールド樹脂2Aとの間の相対的

な熱変形によってボンディングワイヤ5が繰返し変形を受けるので、図30の実施の形態に比べて疲労による断線を生じやすくなる。

【0186】また、樹脂2Aのトランスファモールド時のボンディングワイヤ5の変形防止に対しても、ある程度の防止効果がある。

【0187】また、可撓性・流動性物質20の量が少なくなり、高さも低くできるので、リフロー半田付け時の断線防止、トランスファモールド時のワイヤ変形防止に効果があるだけでなく、パッケージ全体の厚さを薄くすることができ、実装密度を向上することができる。

【0188】図32は、可撓性・流動性物質20を使用する場合の他の実施の形態の樹脂封止型半導体装置の樹脂モールド前の状態を示す断面図である。

【0189】この実施の形態は、図32に示すように、ボンディングワイヤ5の全体が覆われるようにして、半導体チップ1の主面全面を可撓性・流動性物質20で覆ったものである。

【0190】前記図30の実施の形態と同様の効果が得られ、さらに、半導体チップ1の主面全面を可撓性・流動性物質20で覆っている、耐湿性を一層向上することができる。

【0191】ただし、可撓性・流動性物質20の表面積が大きくなるので、リフロー半田付け時にモールド樹脂2Aとの界面に隙間が発生し、蒸気圧が作用すると、上部のモールド樹脂2Aにクラックが発生しやすくなる。

【0192】図33は、可撓性・流動性物質20を使用する場合の他の実施の形態の樹脂封止型半導体装置の樹脂モールド前の状態を示す断面図である。

【0193】この実施の形態は、図33に示すように、前記半導体チップ1の主面の上に設けられたボンディングワイヤ5の全体のみをモールド樹脂2Aよりも可撓性あるいは流動性のある物質20で覆ったのである。

【0194】ボンディングワイヤ5を覆う可撓性・流動性物質20は、半導体チップ1の主面上に盛上がった形状となっている必要はなく、ボンディングワイヤ5の表面にのみ付着していてもよい。

【0195】このような被覆を行うためには、まず溶媒で希釈して低粘度となった可撓性・流動性物質20を半導体チップ1上に滴下してボンディングワイヤ5に付着させ、その後溶媒を蒸発させて形成する。

【0196】この場合、ボンディングワイヤ5の表面の可撓性・流動性物質20の層は、厚いほど断線の防止及びボンディングワイヤ5の変形防止の効果が大きい。

【0197】このように構成することによって、図30に示す実施の形態のものと同様の効果を得るための可撓性・流動性物質20の量を低減することができるので、可撓性・流動性物質20とモールド樹脂2Aとの間に発生する蒸気圧によってパッケージクラックの発生を防止することができる。

【0198】図34は、可撓性・流動性物質20を使用する場合の他の実施の形態の樹脂封止型半導体装置の樹脂モールド前の状態を示す断面図である。

【0199】この実施の形態は、図34に示すように、ボンディングワイヤ5を可撓性・流動性物質20で覆うとともに、半導体チップ1の主面と反対面のモールド樹脂2Aに穴22をあけ、半導体チップ1の一部を実質的に露出させる。

【0200】ここで、実質的とは、製造工程で不可避免的に半導体チップ1の主面と反対面のモールド樹脂2Aの薄い被膜あるいはパッケージ2の内部に蒸気圧が発生した場合に容易に破れる程度の薄い樹脂層が存在する場合を想定している。

【0201】このように可撓性・流動性物質20によって、リフロー半田付け時、温度サイクル時のボンディングワイヤ5の断線を生じることなく、ボンディングパッドBP部の耐湿性を確保できるので、モールド樹脂2Aの一部分に前記穴22があいても、耐湿性が低下しない。

【0202】また、リフロー半田付け時にパッケージ内部に発生した蒸気は、前記穴22から外部に放散されるので、圧力が上昇することがなく、樹脂クラックを生じることがない。

【0203】また、前記穴22の半導体チップ1の主面と反対面は、完全に露出していなくても、蒸気圧で容易に貫通できる程度の厚さであれば、モールド樹脂2Aが存在していても良い。

【0204】以上の説明からわかるように、前記実施の形態IVによれば、リフロー半田付け時に、半導体チップ1の主面が剥離して蒸気が膨張しても、ボンディングワイヤ5の断線を防止することができる。

【0205】また、トランスファモールド時に、ボンディングワイヤ5の変形によるワイヤ間のショート、あるいはボンディングワイヤ5と共用インナーリード3Aとの接触を防止することができる。

【0206】また、ボンディングパッドBP部の耐湿性不良及び温度サイクル時のボンディングワイヤ5の断線を生じることなく、リフロー半田付け時の樹脂クラックを防止することができる。

【0207】（実施の形態5）本発明の実施の形態5の樹脂封止型半導体装置は、図35（断面図）に示すように、前記実施の形態1の樹脂封止型半導体装置において、半導体チップ1の主面と反対面に凹部を設けたものである。

【0208】この凹部101により、モールド樹脂2Aを半導体チップ1に拘束し、リフロークラックが生じる半導体チップ1の主面と反対面コーナ部のモールド樹脂部に発生する応力を低減し、リフロークラックを防止することができる。

【0209】また、凹部101の加工は、エッチングで

も良い。また、他の方法でも良い。

【0210】図36のA（図3の主面と反対側から見た平面図）及び図36のB（図36のAの横中心線で切った断面図）は、前記半導体チップ1の主面と反対面に設けられた凹部101の変形例を示す図であり、この例は前記半導体チップ1の主面と反対面に環状の凹部101aを設けたものである。

【0211】図37のA（平面図）及び図37のB（断面図）は、前記半導体チップ1の主面と反対面に設けられた凹部101の他の変形例を示す図であり、この例は前記半導体チップ1の主面と反対面に四角形の凹部101bを設けたものである。

【0212】図38のA（平面図）及び図38のB（側面図）は、前記半導体チップ1の主面と反対面に設けられた凸部101の変形例を示す図であり、この例は前記半導体チップ1の主面と反対面に円形の凸部101cを設けたものである。

【0213】図39のA（平面図）及び図39のB（側面図）は、前記半導体チップ1の主面と反対面に設けられた凸部101の他の変形例を示す図であり、この例は前記半導体チップ1の主面と反対面に四角形の凸部101dを設けたものである。

【0214】図40のA（平面図）及び図40のB（側面図）は、前記半導体チップ1の主面と反対面に設けられた凹部101の他の変形例を示す図であり、この例は前記半導体チップ1の主面と反対面に楕円形の凹部101eを設けたものである。

【0215】図41のA（平面図）及び図41のB（側面図）は、前記半導体チップ1の主面と反対面に設けられた凹部又は凸部101の変形例を示す図であり、この例は前記半導体チップ1の主面と反対面に複数の溝を形成することにより凹部及び凸部101fを設けたものである。これは格子状に溝を設けてもよい。

【0216】前述のように半導体チップ1の主面と反対面に、例えば凹部又は凸部101a～101fのうちいずれか一つを設けることにより、半導体チップ1をモールド樹脂2Aでより強固に拘束することができる。

【0217】また、半導体チップ1の主面と反対面のコーナ部によるモールド樹脂2Aに発生する応力を低減することができる。

【0218】図42は、この実施の形態5に関する本発明の他の実施の形態を示す図であり、前記実施の形態5の半導体チップ1の主面と反対面に酸化珪素膜102を残した状態で、半導体チップ1の主面と反対面に、例えば前記凹部又は凸部101を設けたものである。

【0219】このように、半導体チップ1の主面と反対面に酸化珪素膜102を残した状態であることにより、酸化珪素膜102とモールド樹脂2Aとの接着力が強いので、半導体チップ1の主面と反対面でのモールド樹脂2Aの剥離を防止することができる。

【0220】また、凹部又は凸部101によって、モールド樹脂2Aで半導体チップ1を強固に拘束することができる。

【0221】（実施の形態6）本発明の実施の形態6の樹脂封止型半導体装置は、図43（一部断面斜視図）及び図44（図43のヘーベ線で切った断面図）に示すように、前記実施の形態1の半導体チップ1の主面上に、複数の信号用インナーリード3A₁及び共用インナーリード3A₂が、前記半導体チップ1と電気的に絶縁する絶縁性フィルム4を介在して接着剤で接着され、該信号用インナーリード3A₁及び共用インナーリード3A₂と半導体チップ1とがボンディングワイヤ5で電気的に接続され、モールド樹脂2Aで封止された半導体装置において、パッケージ2の長手方向の側面の中央部に、電気的に前記半導体チップ1と絶縁された放熱用リード301aが設けられ、その一端は半導体チップ1の主面の発熱部分の上部まで延長され、該放熱用リード301aの他端はパッケージ2の半導体チップ1の主面と反対側の面の外部下部まで延長されている。

【0222】このようにパッケージの長手方向の側面の中央部に、電気的に半導体チップ1と絶縁された放熱用リード301aの一端が半導体チップ1の主面の発熱部分の上部まで延長されて設けられ、該放熱用リード301aの他端がパッケージ2の半導体チップ1の主面との反対側の面の外部下部まで延長されていることにより、半導体チップ1の発熱部の熱の放熱効率を向上することができる。

【0223】図45（一部断面斜視図）及び図46（図45のトート線で切った断面図）は、前記図43に示す放熱用リード301aの変形例を示す図であり、この放熱用リード301bは、その一端が半導体チップ1の主面の発熱部分の上部まで延長され、該放熱用リード301bの他端がパッケージ2の半導体チップ1の主面の外部上部まで延長されたものである。

【0224】そして、放熱用リード301bの延長部は放熱板となっている。

【0225】このようにパッケージの長手方向の側面の中央部に、電気的に半導体チップ1と絶縁された放熱用リード301bの一端が半導体チップ1の主面の発熱部分の上部まで延長されて設けられ、該放熱用リード301bの他端がパッケージ2の半導体チップ1の主面の外部上部まで延長されていることにより、半導体チップ1の発熱部の熱の放熱効率を向上することができる。

【0226】なお、前記放熱用リード301bの他端がパッケージ2の半導体チップ1の主面の外部上部まで延長されている部分を、図46の点線で示すように、折り曲げて占有体積を小型化にしてもよい。

【0227】また、前記放熱用リード301a及び301bのリードフレームは、信号用リードフレームと同一リードフレームで作製する。

【0228】（実施の形態7）本発明の実施の形態7の樹脂封止型半導体装置は、図49（一部断面斜視図）及び図50（図49のリーリ線で切った断面図）に示すように、前記図1に示す実施の形態1の半導体チップ1の主面上に、複数の信号用インナーリード3A₁と共用インナーリード3A₂が、前記半導体チップ1と電気的に絶縁する絶縁性フィルム4を介在して接着剤で接着され、該信号用インナーリード3A₁と共用インナーリード3A₂と半導体チップ1とがボンディングワイヤ5で電気的に接続され、樹脂封止された半導体装置において、前記半導体チップ1の主面には、その主面上に配線されるボンディングワイヤ5と共用インナーリード3A₂と交差することのないボンディングパッドBPが配設したものである。

【0229】前記本実施の形態7の半導体チップ1の素子レイアウト及びボンディングパッドBPは、図51（レイアウト平面図）に示すようになっている。

【0230】すなわち、DRAM1の表面の略全域にメモリセルアレイ(MA)が配置されている。本実施の形態7のDRAM1は、これに限定されないが、メモリセルアレイは大きく8個のメモリセルアレイ11A~11Hに分割されている。同図47中、DRAM1の上側に4個のメモリセルアレイ11A、11B、11C及び11Dが配置され、下側に4個のメモリセルアレイ11E、11F、11G及び11Hが配置されている。この8個に分割されたメモリセルアレイ11A~11Hの夫々は、さらに16個のメモリセルアレイ(MA)11に細分化されている。つまり、DRAM1は、128個のメモリセルアレイ11Eを配置する。この128個に細分化された1個のメモリセルアレイ11は128[Kbit]の容量で構成されている。

【0231】前記DRAM1の128個に細分化されたうちの2個のメモリセルアレイ11の間には夫々センスアンプ回路(SA)13が配置されている。センスアンプ回路13は相補型MOSFET(CMOS)で構成されている。DRAM1の8個に分割されたうちのメモリセルアレイ11A、11B、11C及び11Dの夫々の下側の一端にはカラムアドレスデコード回路(YDEC)12が配置されている。同様に、メモリセルアレイ11E、11F、11G及び11Hの夫々の上側の一端にはカラムアドレスデコード回路(YDEC)12が配置されている。

【0232】前記DRAM1の8個に分割されたうちのメモリセルアレイ11Aと11Bの間、メモリセルアレイ11Cと11Dの間、メモリセルアレイ11Eと11Fの間、メモリセルアレイ11Gと11Hの間には、夫々周辺回路17及び外部端子BPが配置されている。また、メモリセルアレイ11A、11B、11C及び11Dの夫々の下側と、メモリセルアレイ11E、11F、11G及び11Hの夫々の上側の領域に、周辺回路17

及び周辺回路 18 が設けられている。周辺回路 17 としては、メインアンプ回路、出力バッファ回路、基板電位発生回路 (Vss ジェネレータ回路)、電源回路の夫々を配置している。

【0233】前記周辺回路 18 としては、ロウアドレスストロブ(RE)系回路、ライトイネーブル(W)系回路、データ入力バッファ回路、Vcc用リミッタ回路、Xアドレスドライバ回路(論理段)、X系冗長回路、Xアドレスバッファ回路、カラムアドレスストロブ(CE)系回路、テスト回路、VDL用リミッタ回路、Yアドレスドライバ回路(論理段)、Y系冗長回路、Yアドレスバッファ回路、Yアドレスドライバ回路(ドライブ段)、Xアドレスドライバ回路(ドライブ段)、マツト選択信号回路(ドライブ段)の夫々が配置されている(図4及びその説明を参照)。

【0234】前記外部端子BPは、前記樹脂封止型fc2をLOC構造で構成し、DRAM1の中央部までインナーリード3Aを引き伸しているの、DRAM1の中央部分に配置され、かつ前記半導体チップ1の主面に、その主面上に配線されるボンディングワイヤ5と共用インナーリード3A₂と交差することのないように配設されている。

【0235】外部端子BPは、メモリセルアレイ11A、11B、11C、11D、11E、11F、11G及び11Hの夫々で規定された領域内に、DRAM1の上端側から下端側に向って配置されている。外部端子BPに印加される信号は、前述の図1に示す樹脂封止型fc2において説明したので、ここでの説明は省略する。

【0236】基本的には、DRAM1の表面上の上端側から下端側に向って基準電圧(Vss)、電源電圧(Vcc)の夫々が印加されたインナーリード3Aが延在するので、DRAM1はその延在方向に沿って基準電圧(Vss)用、電源電圧(Vcc)用の夫々の外部端子BPを複数配置している。つまり、DRAM1は基準電圧(Vss)、電源電圧(Vcc)の夫々の電源の供給が充分に行えるように構成されている。

【0237】前述のように、本実施の形態7によれば、前記半導体チップ1の主面には、その主面上に配線されるボンディングワイヤ5と共用インナーリード3A₂と交差することのないボンディングパッドBPが配設されているので、複数の信号用インナーリード3A₁と半導体チップ1とを接続するためのボンディングワイヤ5と、共用インナーリード3A₂のショートを防止することができる。

【0238】次に、リードフレームの詳細について説明する。

【0239】図52(リードフレーム全体平面図)に示すように、本実施の形態7のリードフレーム3は、20本の信号用インナーリード3A₁と2本の共用インナーリード3A₂が設けられている。前記インナーリード3

A₁は、前記図50(断面図)に示すように、その信号用インナーリード3A₁の絶縁性フィルム(絶縁体)4と接着する部分よりアウターリード3B側の部分と半導体チップ1との間隔が、前記絶縁性フィルム(絶縁体)4と接合する部分と半導体チップ1との間隔より広くなるような段差構造になつている。このようにインナーリード3Aを段差構造にしたことにより、半導体チップ1と信号用インナーリード3A₁との間の浮遊容量が従来のものに比べて小さくなるので、信号伝送速度の向上及び電気ノイズの低減を図ることができる。

【0240】本実施の形態7において、前記半導体チップ1の主面上のボンディングパッドBPの配置及びリードフレーム以外のものについては、前記実施の形態1のものと同じである。

【0241】なお、前記実施の形態2~6の技術は、本実施の形態7に適用できることは勿論である。

【0242】(実施の形態8)本発明の実施の形態8の樹脂封止型半導体装置は、図53(本実施の形態8のリードフレームの概略構成を示す平面図)に示すように、前記実施の形態1のリードフレームの変形例であり、半導体チップ1の主面と反対側面を固定するために通電しないインナーリード3C₁(吊りリード)を折り曲げたものである。

【0243】そして、図54のA(半導体チップ固定部断面図)及び図56(樹脂モールドする前の状態における信号用インナーリード部及び共用インナーリード部の断面図)に示すように、複数の信号用インナーリード3A₁と共用インナーリード3A₂が半導体チップ1の主面から浮いた状態で配設される(図56)ように、前記吊りリード3C₁で前記半導体チップ1が接着剤7により接着固定される。

【0244】前記接着剤7としては、エポキシ系樹脂、レゾール系樹脂等の前述した接着剤のいずれであってもよい。

【0245】また、前記吊りリード3C₁と前記半導体チップ1との間に絶縁性フィルム4を介在させて接着してもよい。

【0246】この場合、前記複数の信号用インナーリード3A₁及び共用インナーリード3A₂の夫々と半導体チップ1のボンディングパッドBPとをボンディングワイヤ5で接続する時は、信号用インナーリード3A₁及び共用インナーリード3A₂を半導体チップ1に上から治具により押え付けて固定し、ワイヤボンディングを行う。このワイヤボンディングが終り前記押え治具をはずすと、前記吊りリード3C₁のスプリングバック効果により、信号用インナーリード3A₁及び共用インナーリード3A₂は、図56に示す状態となる。

【0247】また、図54のBに示すように、例えば、前述した実施の形態1に適用したリードフレーム3の吊りリード3Cと前記半導体チップ1の主面との間に所定

厚さの絶縁性フィルム4を介在させて接着剤7で接着固定することにより前記信号用インナーリード3A₁と共用インナーリード3A₂が半導体チップ1の主面から浮いた状態で配設される(図56)のようにしてもよい。この場合、前記絶縁性フィルム4の厚さは、150 μ m程度が一般的であるが、これ以上の厚さにすることも可能である。

【0248】また、図55(樹脂モールドする前の状態を示す断面図)に示すように、例えば、前記信号用インナーリード3A₁と共用インナーリード3A₂と半導体チップ1の主面との間に絶縁板40が挿入され、前記信号用インナーリード3A₁と共用インナーリード3A₂と半導体チップ1とをボンディングワイヤ5で電氣的に接続し、モールド樹脂で封止されたものにしてよい。

【0249】また、図57(樹脂モールドする前の状態を示す断面図)に示すように、前記絶縁板40が前記信号用インナーリード3A₁と共用インナーリード3A₂の左右のうち一方、例えば左側の信号用インナーリード3A₁と共用インナーリード3A₂と半導体チップ1の主面との間のみに挿入され、右側の信号用インナーリード3A₁と共用インナーリード3A₂は半導体チップ1の主面から浮いた状態で前記信号用インナーリード3A₁と共用インナーリード3A₂と半導体チップ1とがボンディングワイヤ5で電氣的に接続され、モールド樹脂で封止されてもよい。

【0250】また、例えば、前記複数の信号用インナーリード3A₁と共用インナーリード3A₂が半導体チップ1の主面から浮いた状態で配設される(図56)ようにするために、図54のCに示すように、前記吊りリード3C₁を深く折り曲げて吊りリード3C₂を形成し、この吊りリード3C₂により前記半導体チップ1の主面と反対側面を接着固定するようにしてもよい。このようにすることにより、信号用インナーリード3A₁と共用インナーリード3A₂が半導体チップ1の主面から浮いた状態に配設されるように、前記吊りリード3C₂で前記半導体チップ1の主面と反対側面が接着固定されるので、絶縁性フィルム4を接着する工程が不要になる。また、半導体チップ1の固定が強固となる。また、メモリセル上にリード線を接着しないので、メモリセルの破損を低減することができる。

【0251】前述のように、本実施の形態8によれば、絶縁性フィルム4を不使用又は最小限にすることにより、吸湿が低減することができるので、耐半田リフロー性を有利することができる。

【0252】なお、前記実施の形態8において、前記半導体チップ1のボンディングパッド以外の主面領域全域に α 線遮蔽用ポリイミド膜が塗布されることが好ましい。

【0253】(実施の形態9) 本発明の実施の形態9の樹脂封止型半導体装置は、図58及び図59(半導体チ

ップ上のレイアウト図)に示すように、インナーリードと接続されるボンディングパッドBP(半田バンプ5C)が鏡面对称に形成された2個の半導体チップ1Aと1Bを設ける。

【0254】図58においては、CAS0端子(ボンディングパッドBP)とCAS1端子(ボンディングパッドBP)とを分けて、他の端子(ボンディングパッドBP)は共通となっている。このようなレイアウトにすると、ワード方向の容量が2倍となる。

【0255】図59においては、Do端子とDi端子とを分けて、他の端子は共通となっている。このようなレイアウトにすることにより、ビット方向の容量が2倍になる。

【0256】そして、図60(パッケージの説明用断面図)に示すように、この2個の半導体チップ1Aと1Bの夫々の主面側でインナーリード3Aを挟んでインナーリード3Aと半導体チップ1のボンディングパッドBPとを半田バンプ5Cにより電氣的に接続し、モールド樹脂封止したものである。

【0257】このようにインナーリード3AとのボンディングパッドBPが鏡面对称に形成された2個の半導体チップ1Aと1Bとで、夫々の主面側でインナーリード3Aを挟んでインナーリード3Aと半導体チップ1のボンディングパッドBPとを半田バンプ5Cにより電氣的に接続し、モールド樹脂封止したので、パッケージ2の外形を変化させずに容量が2倍の素子を実装することができる。

【0258】(実施の形態10) 本発明の実施の形態10の樹脂封止型半導体装置は、図61(実施の形態10の樹脂封止型半導体装置の配線基板と対向する面側から見た斜視図)及び図62(図61のルール線で切った断面図)に示すように、前記実施の形態1の半導体装置のパッケージ2の基板と対向する面に、外部に向けて開口している放熱用溝50が設けられている。この場合、放熱用溝50の底面50Aと半導体チップ1との距離、すなわち半導体チップ1の下部のモールド樹脂2Aの厚さ寸法は0.3mm以下にされている。

【0259】このように、放熱用溝50を設けることにより、図68及び図69(実施の形態10の樹脂封止型半導体装置を配線基板に実装した状態を示す断面図)に示すように、基板51A又は51Bと放熱用溝50の底面50Aとの隙間51Dが大きくなり、紙面垂直方向に送風して冷却を行えば、この隙間51Dにも空気が流れるため、放熱用溝50の底面50Aからも放熱が行われ、半導体装置の熱抵抗が低減する。

【0260】なお、本実施の形態の構造では、半導体チップ1下のモールド樹脂2Aの厚さが薄くなり、樹脂モールド時に工夫が必要であるが、モールド時の熔融粘度が低いモールド樹脂2Aを用いれば、図61のように、パッケージ2を形成することができる。

【0261】次に、前記実施の形態10の樹脂封止型半導体装置の変形例を図63（断面図）に示す。

【0262】この変形例の半導体装置は、図63に示すように、前記図61に示すパッケージ2の上面にも、開口する放熱用溝53を設けたものである。放熱用溝50の底面50A及び放熱用溝53の底面53Aと半導体チップ1との夫々の距離、すなわち、半導体チップ1の下部及び上部のモールド樹脂の夫々の厚さ寸法は0.3mm以下にしている。

【0263】このようにパッケージ2の半導体チップ110の上部のモールド樹脂2Aを薄くすることにより、伝熱面が増加し、半導体装置の熱抵抗が低減するので、全体の熱抵抗はその分だけ低減することができる。また、図69に示すように、半導体装置を基板51A及び第51B上に並べる際の間隔を溝の深さ寸法の2倍だけ短くすることができるので、実装密度を大きくすることができる（詳細は後で述べる）。

【0264】前記実施の形態10の半導体装置の他の変形例を図64又は図65に示す。

【0265】この変形例の半導体装置は、図64又は図65に示すように、前記図62又は図63に示すパッケージ2の半導体チップ1の下部モールド樹脂2Aを除去して半導体チップ1の主面と反対側の面を露出したものである。

【0266】このようにパッケージ2の半導体チップ1の下部モールド樹脂2Aを除去して半導体チップ1の主面と反対側の面を露出したことにより、さらに半導体装置の熱抵抗が低減するので、全体の熱抵抗はその分だけ低減することができる。

【0267】これにより、半導体チップ1のコナ部からの温度サイクルによるクラックの発生を防止することができる。

【0268】前記実施の形態10の半導体装置の他の変形例を図66又は図67に示す。

【0269】この変形例の半導体装置は、図66又は図67に示すように、前記図62及び図64に示すパッケージ2の半導体チップ1の下部モールド樹脂2Aを除去して半導体チップ1の主面と反対側の面を露出したものにおいて、半導体チップ1とアウターリード3Bとの関係を逆にしたものである。

【0270】このようにすることにより、実装基板51に対して上面の冷却が支配的な場合に冷却効率を向上することができる。

【0271】なお、前記図66又は図67に示す変形例において、パッケージ2の基板51側にも放熱用溝を設けてもよい。

【0272】次に、本発明の前記図61乃至図67に示す樹脂封止型半導体装置の基板の実装方法の一実施の形態について説明する。

【0273】前記図61乃至図67に示す樹脂封止型半

導体装置の基板実装方法の一実施の形態は、図68に示すように、例えば、図61に示す樹脂封止型半導体装置60A乃至60Hを基板51A及び51Bのそれぞれの両面に半田61により面実装される。

【0274】このように樹脂封止型半導体装置60A乃至60Hを基板51A及び51Bに実装することにより、半導体装置の実装密度を向上することができると共に、パッケージ2の基板51A及び51B側からも放熱が可能となる。すなわち、樹脂封止型半導体装置60A乃至60Hの放熱は、それぞれのパッケージ2とこれらが実装される基板51A又は51Bとの隙間51Dによって行うので、送風の抵抗を低減して放熱効率を向上することができる。

【0275】また、図69に示すように、例えば、前記図63に示す実施の形態の樹脂封止型半導体装置のパッケージ2の上部の放熱用溝53と凸部54を合せて2枚の基板51A、51Bの間に実装する。

【0276】このように樹脂封止型半導体装置を実装することにより、半導体装置の実装密度をさらに向上することができる。パッケージ2の基板51A又は基板51B側からも放熱が可能となる。すなわち、基板51A又は基板51Bの上に樹脂封止型半導体装置を並べる際の間隔を溝の深さ寸法の2倍だけ短くすることができるので、実装密度を大きくすることができる（図64の例の1.5倍である）。また、樹脂封止型半導体装置の放熱は、そのパッケージ2とこれらが実装される基板51A又は基板51Bとの隙間51Dによって行うので、送風の抵抗を低減して放熱効率を向上することができる。

【0277】（実施の形態11）本発明の実施の形態11であるDRAMを封止する樹脂封止型半導体装置を図70（全体外観斜視図）及び図71（図70の一部断面斜視図）に示す。

【0278】図70及び図71に示すように、DRAM（半導体チップ）1は、ZIP（Zigzag In-line Package）型の樹脂封止型パッケージ2で封止されている。前記DRAM1は、16[Mbit]×1[bit]の大容量で構成され、16.48[mm]×8.54[mm]の平面長方形形状で構成されている。このDRAM1は、450[mil]の樹脂封止型パッケージ2に封止される。

【0279】前記DRAM1の主面には、図71に示すように、主にメモリセルアレイ及び周辺回路が配置されている。メモリセルアレイは、後に詳述するが、1[bit]の情報記憶するメモリセル（記憶素子）を行列状に複数配置している。前記周辺回路は、直接周辺回路及び関接周辺回路で配置されている。直接周辺回路は、メモリセルの情報書き込み動作や情報読み出し動作を直接制御する回路である。直接周辺回路は、ロウアドレスデコーダ回路、カラムアドレスデコーダ回路、センスアンプ回路等を含む。関接周辺回路は、前記直接周辺回路の動作を関接的に制御する回路である。関接周辺回路は、クロック

信号発生回路、バッファ回路等を含む。

【0280】前記DRAM1の主面つまり前記メモリセルアレイ及び周辺回路を配置した表面上には、インナーリード3Aを配置している。DRAM1とインナーリード3Aとの間には、絶縁性フィルム4を介在している。絶縁性フィルム4は、例えばポリイミド系樹脂膜で形成されている。この絶縁性フィルム4のDRAM1側、インナーリード3A側の夫々の表面には、接着層(図示しない)が設けられている。接着層としては、例えばポリエーテルアミドイミド系樹脂やエポキシ系樹脂を使用する。この種のパッケージ2は、DRAM1上にインナーリード3Aを配置したLOC(Lead On Chip)構造を採用している。LOC構造を採用するパッケージ2は、DRAM1の形状に規制されずにインナーリード3Aを自由に引き回せるので、この引き回しに相当する分、サイズの大きなDRAM1を封止することができる。つまり、LOC構造を採用するパッケージ2は、大容量化に基づきDRAM1のサイズが大型化しても、封止サイズ(パッケージサイズ)は小さく抑えられるので、実装密度を高めることができる。

【0281】前記インナーリード3Aはその一端側をアウターリード3Bと一体に構成している。アウターリード3Bは、標準規格に基づき、夫々に印加される信号が規定され、番号が付されている。図70及び図71中、上段の左端から1番端子、3番端子、5番端子、・・・21番端子、23番端子と奇数番端子が順次設けられ、下段の左端から2番端子、4番端子、6番端子、・・・22番端子、24番端子と偶数番端子が順次設けられている。つまり、このパッケージ2は上段に12個の端子、下段に12個の端子の合計24端子で構成されている。

【0282】前記1番端子はアドレス信号端子(A₁)、2番端子は空き端子、3番端子はカラムアドレスストロブ信号端子(CE)、4番端子は空き端子、5番端子はデータ出力信号端子、6番端子は基準電圧V_{ss}端子である。前記基準電圧V_{ss}は例えば回路の動作電圧0[V]である。7番端子は電源電圧V_{cc}端子である。前記電源電圧V_{cc}は例えば回路の動作電圧5[V]である。

【0283】8番端子はデータ入力信号端子(D)、9番端子は空き端子、10番端子はライトイネーブル信号端子(W)、11番端子はロウアドレスストロブ信号端子(RE)、12番端子はアドレス信号端子(A₁₀)、13番端子はアドレス信号端子(A₁₁)である。14番端子はアドレス信号端子(A₁₂)、15番端子はアドレス信号端子(A₁₃)、16番端子はアドレス信号端子(A₁₄)、17番端子はアドレス信号端子(A₁₅)、18番端子は電源電圧V_{cc}端子である。前記電源電圧V_{cc}は例えば回路の動作電圧5[V]である。

【0284】19番端子は基準電圧V_{ss}端子であり、該基準電圧V_{ss}は例えば回路の動作電圧0[V]である。

【0285】20番端子はアドレス信号端子(A₁₆)、21番端子はアドレス信号端子(A₁₇)、22番端子はアドレス信号端子(A₁₈)、23番端子はアドレス信号端子(A₁₉)、24番端子はアドレス信号端子(A₂₀)である。

前記インナーリード3Aの他端側は、DRAM1の長方形の夫々の長辺を横切り、DRAM1の中央側に引き伸ばされている。インナーリード3Aの他端側の先端はボンディングワイヤ5を介在させてDRAM1の中央部分に配列された外部端子(ボンディングパッド)BPに接続されている。ボンディングワイヤ5はアルミニウム(A1)ワイヤを使用する。また、ボンディングワイヤ5としては、金(Au)ワイヤ、銅(Cu)ワイヤ、金属ワイヤの表面に絶縁性樹脂を被覆した被覆ワイヤ等を使用してもよい。ボンディングワイヤ5は熱圧着に超音波振動を併用したボンディング法によりボンディングされている。

【0286】前記インナーリード3Aのうち7番端子、18番端子の夫々のインナーリード(V_{cc})3Aは、一体に構成され、DRAM1の中央部分をその長辺に平行に引き伸ばされている(このインナーリード(V_{cc})3Aは共用インナーリード又はバスバーインナーリードと言われている)。同様に、6番端子、19番端子の夫々のインナーリード(V_{ss})3Aは、一体に構成され、DRAM1の中央部分をその長辺に平行に引き伸ばされている(このインナーリード(V_{ss})3Aは共用インナーリード又はバスバーインナーリードと言われている)。インナーリード(V_{cc})3A、インナーリード(V_{ss})3Aの夫々は、その他のインナーリード3Aの他端側の先端で規定された領域内において平行に延在させている。このインナーリード(V_{cc})3A、インナーリード(V_{ss})3Aの夫々はDRAM1の主面のどの位置においても電源電圧V_{cc}、基準電圧V_{ss}を供給することができるように構成されている。つまり、このパッケージ2は、電源ノイズを吸収し易く構成され、DRAM1の動作速度の高速化を図れるように構成されている。

【0287】前記DRAM1の長方形の短辺にはチップ支持用リード3Cが設けられている。

【0288】前記インナーリード3A、アウターリード3B、チップ支持用リード3Cの夫々はリードフレームから切断されかつ成型されている。リードフレームは例えばFe-Ni(例えばNi含有率42又は50[%])合金、Cu等で形成されている。

【0289】前記DRAM1、ボンディングワイヤ5、インナーリード3A及びチップ支持用リード3Cは樹脂封止部6で封止されている。樹脂封止部6は、低応力化を図るために、フェノール系硬化剤、シリコンゴム及びフィラーが添加されたエポキシ系樹脂を使用している。シリコンゴムはエポキシ系樹脂の弾性率と同時に熱膨張率を低下させる作用がある。フィラーは球形の酸化珪素粒で形成されており、同様に熱膨張率を低下させ

る作用がある。

【0290】以上の説明からわかるように、本実施の形態11によれば、ZIP型のパッケージの16MDRAM1を縦型実装方式で基板に実装するので、その実装密度を向上することができる。

【0291】以上、本発明を実施の形態にもとづき具体*

* 的に説明したが、本発明は、前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0292】

【表1】

| | | 実施例 1 | | 実施例 2 | | 実施例 3 | |
|-------|----------------------------|-----------------------|----------------------|----------------------------|-----|----------------------|-----|
| 樹脂組成 | ベース樹脂 | α-トリメチルシリル型エポキシ樹脂 | 63 | レゾール型フェノール樹脂 | 80 | エーテル型エポキシ樹脂 | 70 |
| | 硬化触媒 | ノボラック型フェノール樹脂 | 37 | α-トリメチルシリル型エポキシ樹脂 | 20 | エポキシアクリレート樹脂 | 30 |
| | 触媒化剤 | トリフェニルホスフィン | 1 | 2-フェニル-4-メチル-5-ニトロベンゾチアゾール | 1 | ジグミルバーオキサイド | 0.5 |
| | 可塑化剤 | γ-ブチロラクトン型エポキシ樹脂 | 10 | — | — | γ-ブチロラクトン型エポキシ樹脂 | 8 |
| | 三酸化アンチモン | 5 | — | — | — | 三酸化アンチモン | 2 |
| 重量部 | 可塑化剤 | エポキシ変性シリコーン | 10 | アミン変性シリコーン | 10 | ビニル変性シリコーン | 10 |
| | フィラ | 球形溶融シリカ | 520 | 球形溶融シリカ | 480 | 球形溶融シリカ | 520 |
| | カップリング剤 | エポキシシラン | 3 | アミノシラン | 3 | アミノシラン | 3 |
| | 硬化剤 | モンタン酸エステル | 1 | モンタン酸エステル | 1 | モンタン酸エステル | 1 |
| | 着色剤 | カーボンブラック | 1 | カーボンブラック | 1 | カーボンブラック | 1 |
| 成形性 | 熔融粘度(η), at180℃ | 215 | — | 150 | — | 200 | — |
| | スパイラルフロー(1inch) | 35 | — | 30 | — | 40 | — |
| | 熱時硬度: 180℃/90s後 | 85 | — | 85 | — | 88 | — |
| | ガラス転移温度(℃) | 165 | — | 220 | — | 215 | — |
| | 線膨張係数(10 ⁻⁶ /℃) | 1.3 | — | 1.1 | — | 1.1 | — |
| 硬化物物性 | 曲げ強度 | 室温 | 13.5 | 14.5 | — | 13.2 | — |
| | (kgf/cm ²) | 215℃ | 1.2 | 8.5 | — | 5.5 | — |
| | 体積抵抗率 | 室温 | 3.6×10 ¹⁴ | 1.2×10 ¹⁶ | — | 8.5×10 ¹⁴ | — |
| | (Ω・cm) | 140℃ | 4.0×10 ¹⁴ | 8.5×10 ¹³ | — | 5.0×10 ¹³ | — |
| | 吸湿度(%) | 65℃/95%RH | 0.8 | 0.8 | — | 1.0 | — |
| 物性 | 耐湿性(VL-94, 1.6mm厚) | V-0 | — | V-0 | — | V-0 | — |
| | 抽出液特性 | pH | 4.0 | 4.2 | — | 4.0 | — |
| | (120℃/168h抽出後) | 電気伝導度(μs/cm) | 85 | 65 | — | 150 | — |
| | | CL ⁻ (ppm) | 3.2 | <1 | — | <1 | — |
| | | | | | | | |

【0293】

【表2】

第 2 表

| 洗浄回数 | 抽出液特性 | | | | | | | | 樹脂特性 | |
|------|-------|--------------|------------------|-----------------|-----------------|----------------|------------------|------------------------------|---------|----------------|
| | pH | 電気伝導度(μs/cm) | イオン性不純物(ppm) * 1 | | | | | | 軟化温度(℃) | ゲルタイム(sec) * 2 |
| | | | CL ⁻ | Br ⁻ | Na ⁺ | K ⁺ | Zn ⁺⁺ | NH ₄ ⁺ | | |
| 0回 | 3.0 | 1500 | 75 | 5 | 30 | 15 | 250 | <1 | 62 | 31 |
| 1回 | 3.3 | 350 | 15 | <1 | 8 | 3 | 75 | <1 | 65 | 37 |
| 2回 | 3.4 | 125 | 3 | <1 | 2 | <1 | 18 | <1 | 65 | 40 |
| 3回 | 3.4 | 50 | <1 | <1 | <1 | <1 | 3 | <1 | 68 | 42 |
| 4回 | 3.5 | 27 | <1 | <1 | <1 | <1 | <1 | <1 | 70 | 42 |
| 5回 | 3.5 | 20 | <1 | <1 | <1 | <1 | <1 | <1 | 73 | 43 |
| 6回 | 3.6 | 18 | <1 | <1 | <1 | <1 | <1 | <1 | 75 | 45 |

* 1 抽出液中の濃度を示す。

* 2 JIS-K-5909(熱板法)による。

【0294】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0295】(1) 本発明によれば、本発明における半導体チップのボンディングパッド以外の回路形成領域全域にα線遮蔽用ポリイミド膜が被覆され、半導体チップ上に少なくともインナーリードの先端又は及び吊りリー

ドとが接着される箇所に絶縁膜が形成されているので、前記 α 線遮蔽用ポリイミド膜で回路形成領域全域への α 線を遮蔽することができ、前記絶縁膜で半導体チップを接着固定することができる。

【0296】(2) 半導体チップ上に少なくともインナーリードの先端又は及び吊りリードとが接着される箇所に部分的に絶縁膜が形成されるので、半導体チップとインナーリードとの間の浮遊容量を低減することができる。

【0297】(3) 本発明によれば、絶縁膜と半導体チップの主面とを接合する面積が減少したことにより、絶縁膜による吸湿量を最小限にするので、リフロー時における熱の影響及び温度サイクルによる熱の影響を低減することができる。また、これにより、半導体チップとリードとの間の浮遊容量が従来のものに比べて小さくなるので、信号伝送速度の向上及び電気ノイズの低減を図ることができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1であるDRAMを封止する樹脂封止型半導体装置の部分断面斜視図である。

【図2】図1の平面図である。

【図3】図2のイーイー線で切った断面図である。

【図4】図1に示すDRAMの概略構成を示すレイアウト図である。

【図5】図1に示すリードフレームの全体平面図である。

【図6】図1に示すインナーリードと半導体チップとの関係を示す要部断面図である。

【図7】図1に示すインナーリードと半導体チップとの関係を示す要部断面図である。

【図8】図1に示す絶縁体の他の実施の形態である樹脂成型体部の概略構成を示す断面図である。

【図9】図8のローロ線で切った断面図である。

【図10】図8の樹脂成型体と半導体チップとの接着部を示す図である。

【図11】図1に示す半導体チップ、絶縁体、リードフレームの関係を示す組立展開図である。

【図12】モールド樹脂材料の特性を説明するための図である。

【図13】モールド樹脂材料の特性を説明するための図である。

【図14】モールド樹脂材料の特性を説明するための図である。

【図15】図1に示す樹脂封止型半導体装置のモールド樹脂を金型に注入するのに最適なパッケージを説明するための図である。

【図16】図1に示す樹脂封止型半導体装置のモールド樹脂を金型に注入するのに最適なパッケージを説明するための図である。

【図17】図1に示す樹脂封止型半導体装置のモールド

樹脂を金型に注入するのに最適なパッケージを説明するための図である。

【図18】図1に示す樹脂封止型半導体装置のモールド樹脂を金型に注入するのに最適なパッケージを説明するための図である。

【図19】図1に示す樹脂封止型半導体装置のモールド樹脂を金型に注入するのに最適なパッケージを説明するための図である。

【図20】本発明の実施の形態2の樹脂封止型半導体装置の概略構成及びその製造方法を説明するための図である。

【図21】本発明の実施の形態2の樹脂封止型半導体装置の概略構成及びその製造方法を説明するための図である。

【図22】本発明の実施の形態2の樹脂封止型半導体装置の概略構成及びその製造方法を説明するための図である。

【図23】本発明の実施の形態3の樹脂封止型半導体装置の概略構成を示す断面図である。

【図24】本発明の実施の形態3の樹脂封止型半導体装置の概略構成及びその製造方法を説明するための図である。

【図25】本発明の実施の形態3の樹脂封止型半導体装置のウェハの平面図である。

【図26】本発明の実施の形態3の樹脂封止型半導体装置の絶縁性フィルムのパターンを説明するための図である。

【図27】本発明の実施の形態3の樹脂封止型半導体装置の絶縁性フィルムのパターンを説明するための図である。

【図28】本発明の実施の形態3の樹脂封止型半導体装置の絶縁性フィルムのパターンを説明するための図である。

【図29】本発明の実施の形態4樹脂封止型半導体装置の概略構成を示す一部断面斜視図である。

【図30】図29のホーホ線で切った樹脂モールド前の状態を示す断面図である。

【図31】図29の可撓性・流動性物質を使用する場合の他の実施の形態の樹脂封止型半導体装置の樹脂モールド前の状態を示す断面図である。

【図32】可撓性・流動性物質を使用する場合の他の実施の形態の樹脂封止型半導体装置の樹脂モールド前の状態を示す断面図である。

【図33】可撓性・流動性物質を使用する場合の他の実施の形態の樹脂封止型半導体装置の樹脂モールド前の状態を示す断面図である。

【図34】可撓性・流動性物質を使用する場合の他の実施の形態の樹脂封止型半導体装置の樹脂モールド前の状態を示す断面図である。

【図35】本発明の実施の形態5の樹脂封止型半導体装

置の概略構成を示す断面図である。

【図36】図35の半導体チップの変形例の底面及び断面を示す図である。

【図37】図35の半導体チップの変形例の底面及び断面を示す図である。

【図38】図35の半導体チップの変形例の底面及び断面を示す図である。

【図39】図35の半導体チップの変形例の底面及び断面を示す図である。

【図40】図35の半導体チップの変形例の底面及び断面を示す図である。

【図41】図35の半導体チップの変形例の底面及び断面を示す図である。

【図42】この実施の形態5に関する本発明の他の実施の形態を示す図である。

【図43】本発明の実施の形態6の樹脂封止型半導体装置の概略構成を示す一部断面斜視図である。

【図44】図43のヘーヘ線で切った断面図である。

【図45】本発明の実施の形態6の変形例の樹脂封止型半導体装置の概略構成を示す一部断面斜視図である。

【図46】図45のトート線で切った断面図である。

【図47】本発明の実施の形態6の変形例の樹脂封止型半導体装置の概略構成を示す一部断面斜視図である。

【図48】図47のチーチ線で切った断面図である。

【図49】本発明の実施の形態7の樹脂封止型半導体装置の概略構成を示す一部断面斜視図である。

【図50】図49のリーリ線で切った断面図である。

【図51】前記実施の形態7の半導体チップの素子レイアウト及びボンディングパッドBPのレイアウト平面図である。

【図52】前記実施の形態7のリードフレーム全体平面図である。

【図53】本発明の実施の形態8の樹脂封止型半導体装置のリードフレームの概略構成を示す平面図である。

【図54】本発明の実施の形態8の樹脂封止型半導体装置の半導体チップ固定部断面図である。

【図55】本発明の実施の形態8の樹脂封止型半導体装置の変形例の樹脂モールドする前の状態を示す断面図である。

【図56】本発明の実施の形態8の樹脂封止型半導体装置の変形例の樹脂モールドする前の状態を示す断面図である。

* 【図57】本発明の実施の形態8の樹脂封止型半導体装置の変形例の樹脂モールドする前の状態を示す断面図である。

【図58】本発明の実施の形態9の樹脂封止型半導体装置の半導体チップ上のレイアウト図である。

【図59】本発明の実施の形態9の樹脂封止型半導体装置の半導体チップ上のレイアウト図である。

【図60】本発明の実施の形態9の樹脂封止型半導体装置のパッケージの説明用断面図である。

【図61】実施の形態10の樹脂封止型半導体装置の配線基板と対向する面側から見た斜視図である。

【図62】図61のルール線で切った断面図である。

【図63】前記実施の形態10の樹脂封止型半導体装置の変形例の断面図である。

【図64】前記実施の形態10の半導体装置の他の変形例の断面図である。

【図65】前記実施の形態10の半導体装置の他の変形例の断面図である。

【図66】前記実施の形態10の半導体装置の他の変形例の断面図である。

【図67】前記実施の形態10の半導体装置の他の変形例の断面図である。

【図68】前記実施の形態10の樹脂封止型半導体装置を配線基板に実装した状態を示す断面図である。

【図69】前記実施の形態10の樹脂封止型半導体装置を配線基板に実装した状態を示す断面図である。

【図70】本発明の実施の形態XIであるDRAMを封止する樹脂封止型半導体装置の概略構成を示す全体外観斜視図である。

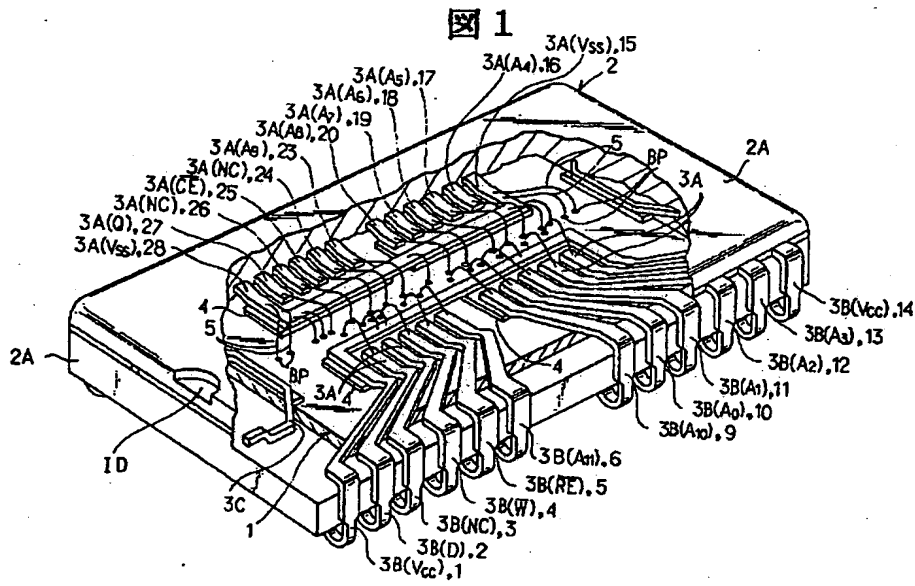
【図71】図70の一部断面斜視図である。

【符号の説明】

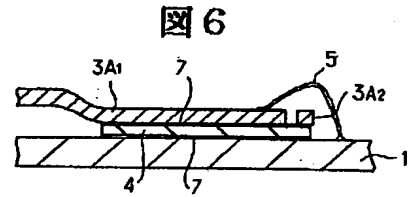
1…DRAM、2…樹脂封止型パッケージ、3…リードフレーム、3A…インナーリード、3A₁…信号用インナーリード、3A₂…共用インナーリード、3B…アウターリード、3C、3C₁…支持用リード（吊りリード）、4、4A、4B、4C、4D…絶縁性フィルム、5…ボンディングワイヤ、6…樹脂成形体、7…接着剤、8…α線遮蔽用ポリイミド膜、9…ポリイミド膜、10…シリコンウェハ、11、11A、11B、11C、11D、11E、11F、11G、11H…メモリセルアレイ。

*

【図1】

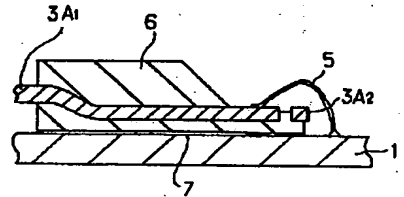


【図6】

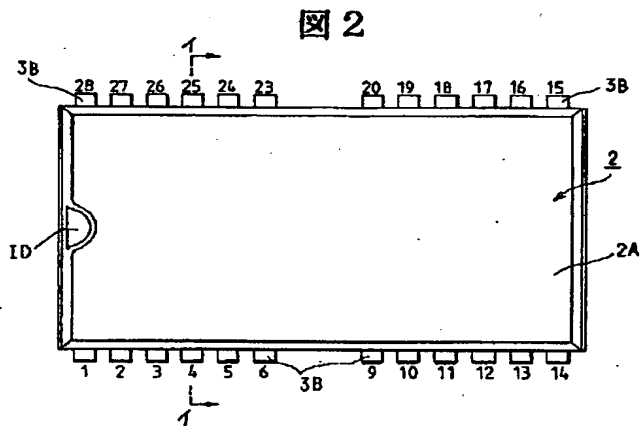


【図10】

図10

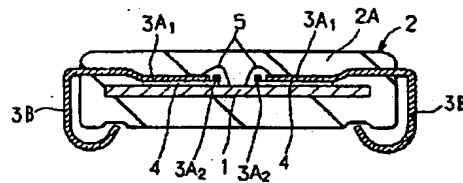


【図2】



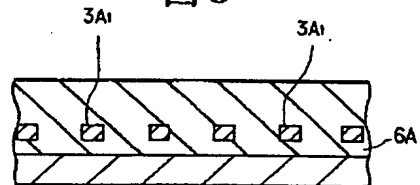
【図3】

図3



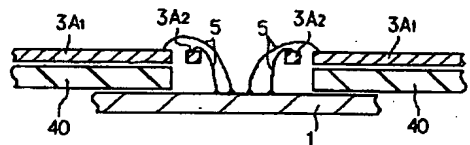
【図9】

図9



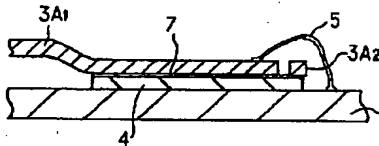
【図55】

図55



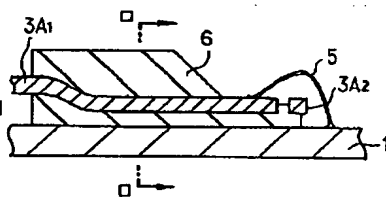
【図7】

図7

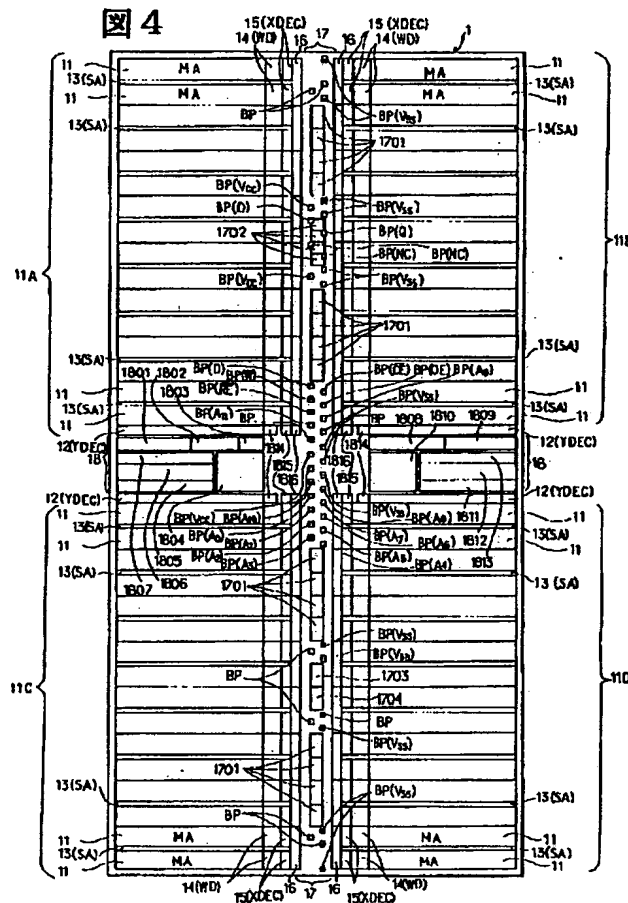


【図8】

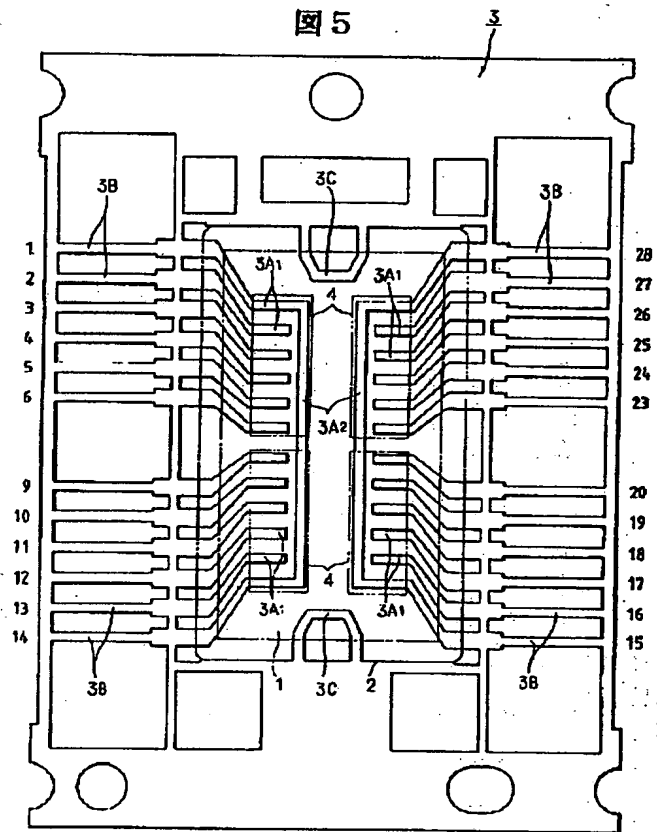
図8



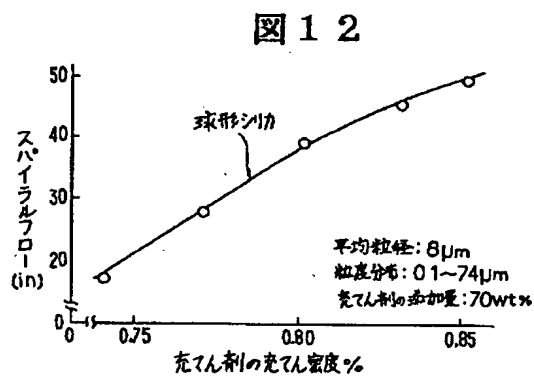
【図4】



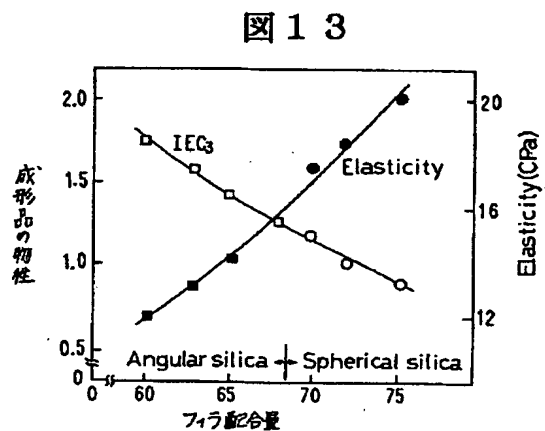
【図5】



【図12】

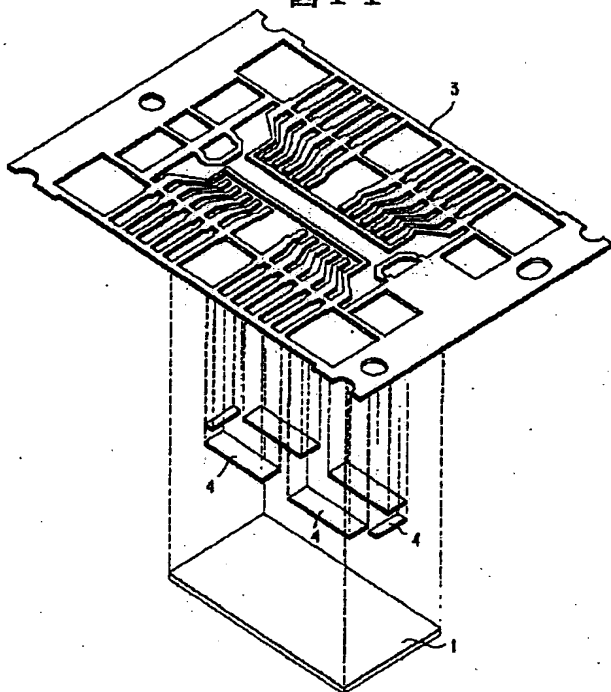


【図13】



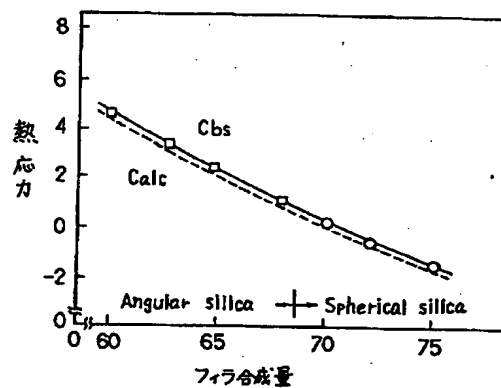
【图 1 1】

圖 11



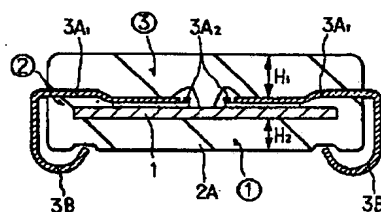
【图 14】

图 14



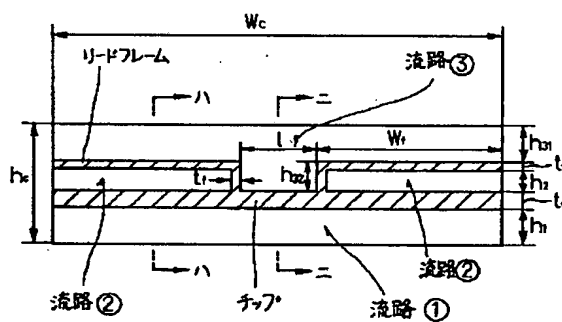
【图 15】

图 15



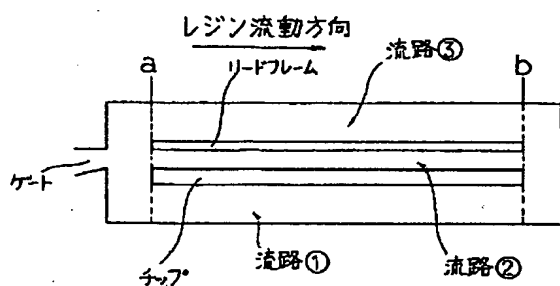
【图 16】

图 16



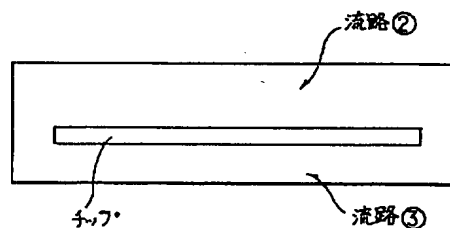
【圖 17】

图 17



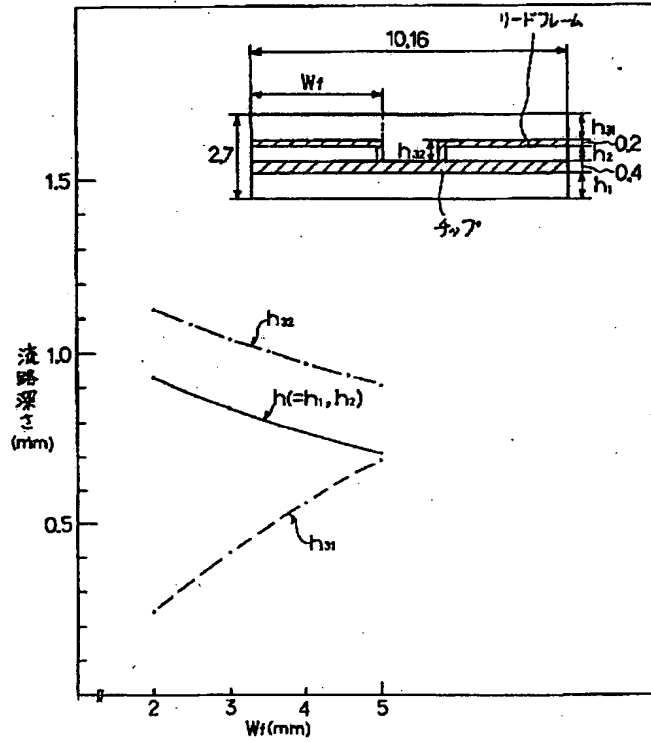
【図 18】

圖 18



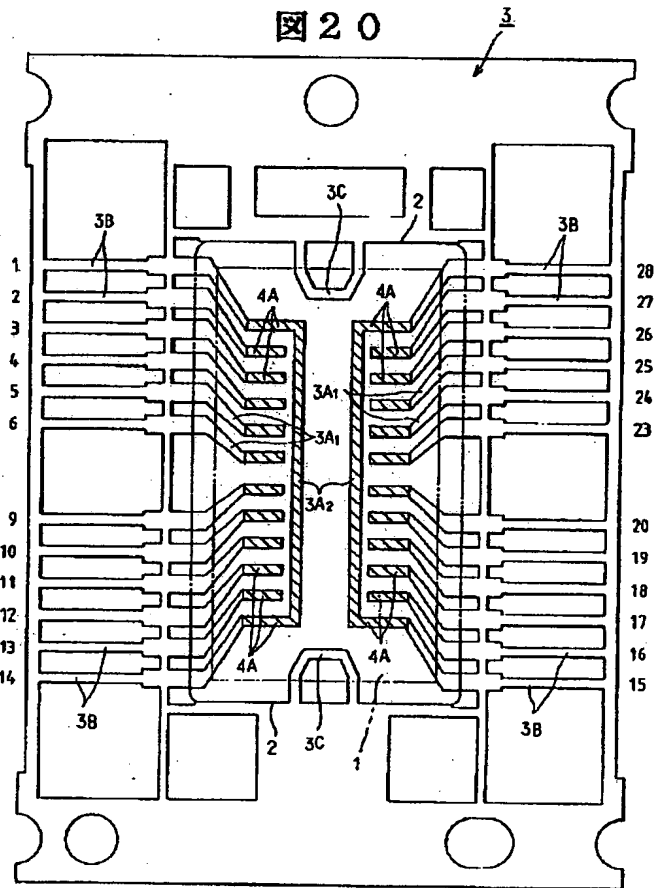
【図19】

図19



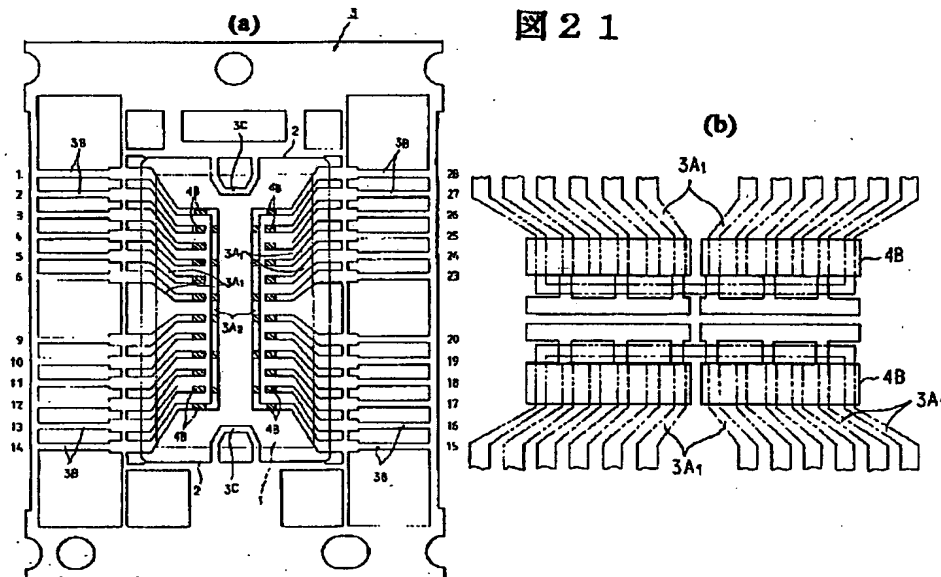
【図20】

図20

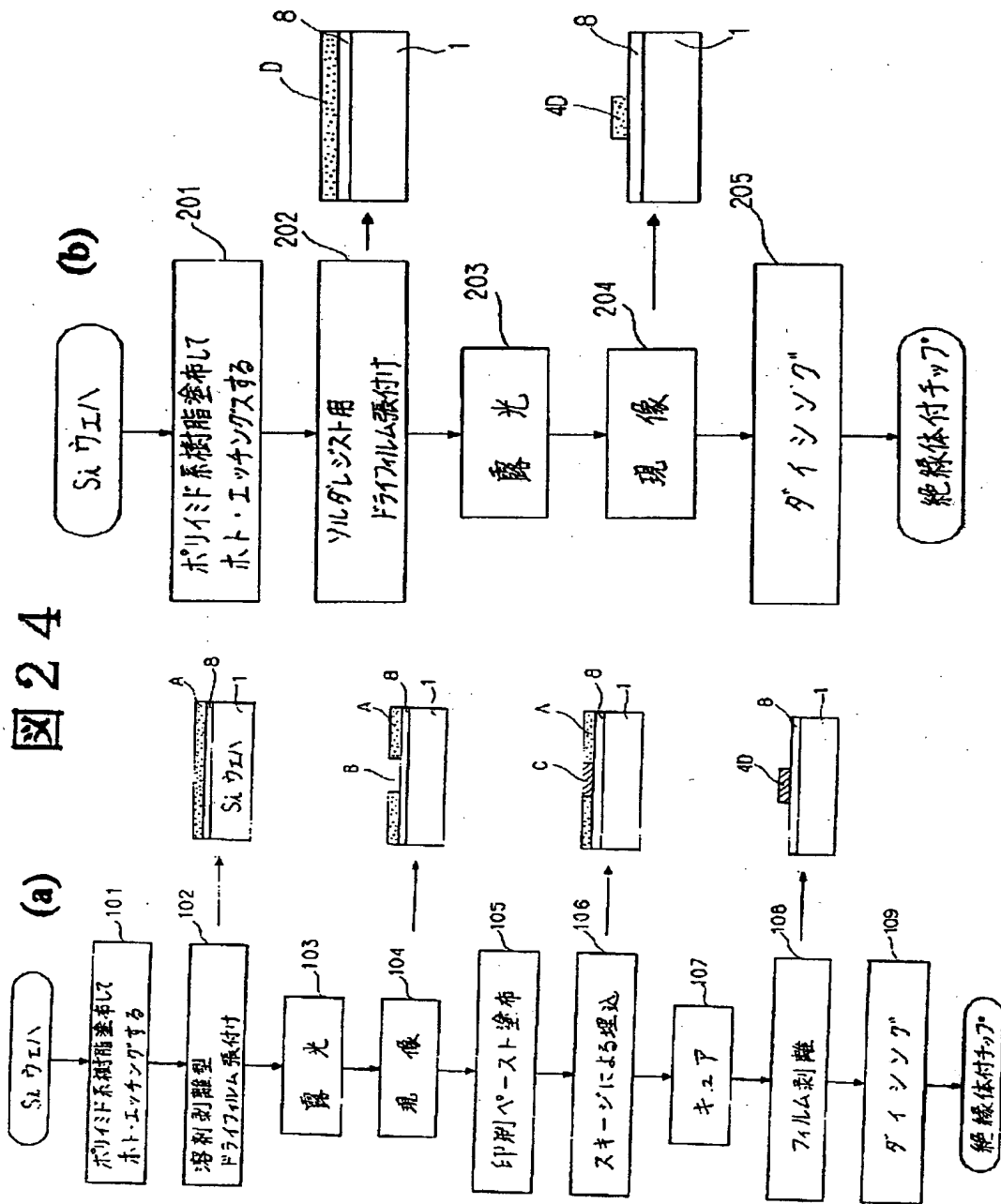


【図21】

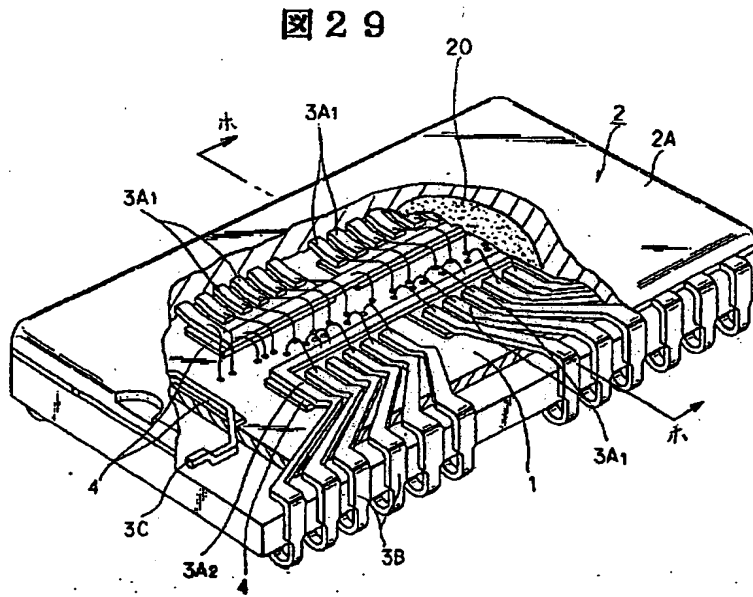
図21



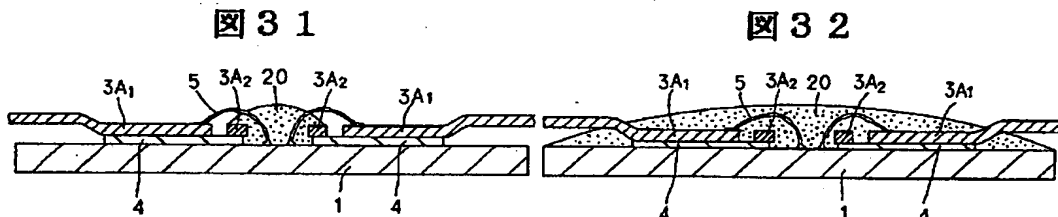
【図24】



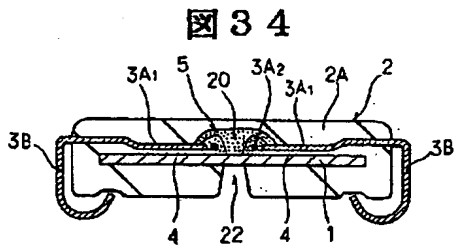
【図29】



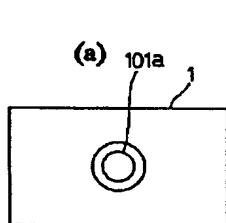
【図31】



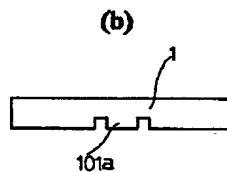
【図34】



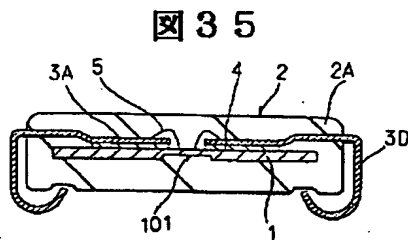
【図36】



【図36】

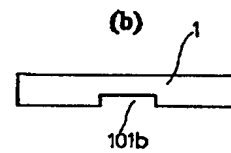


【図35】

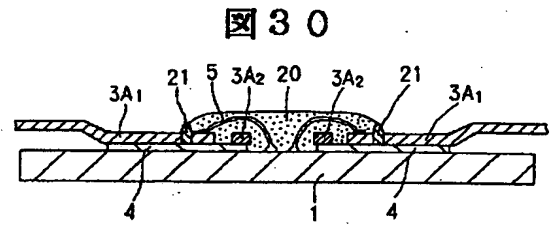


【図37】

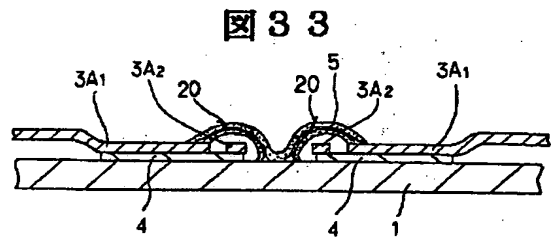
【図37】



【図30】



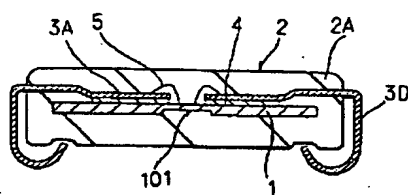
【図33】



【図32】

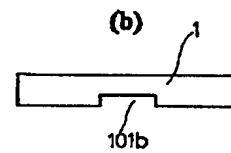
【図32】

【図35】



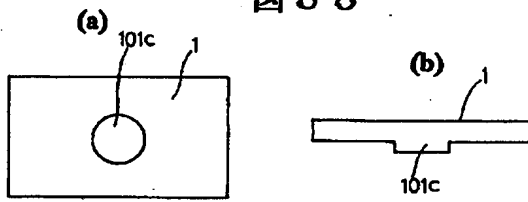
【図37】

【図37】



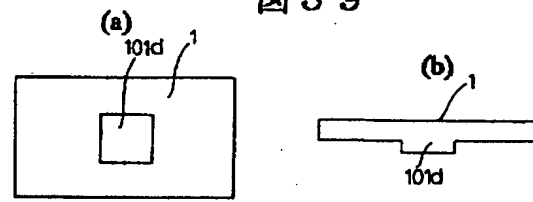
【図38】

図38



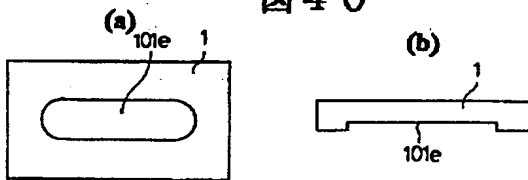
【図39】

図39



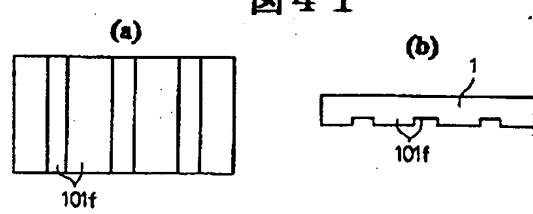
【図40】

図40



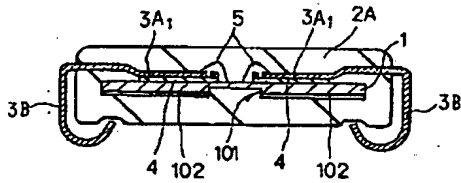
【図41】

図41



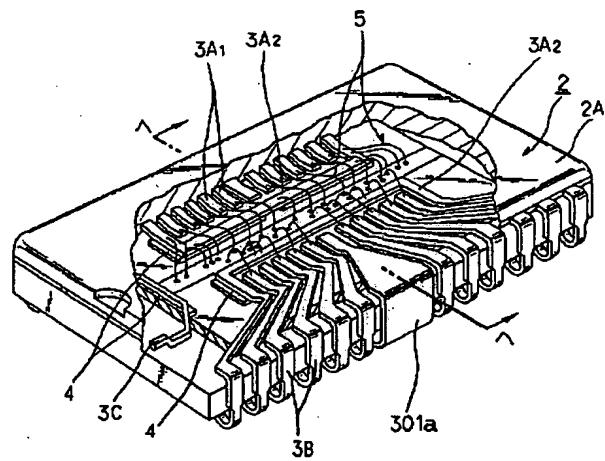
【図42】

図42



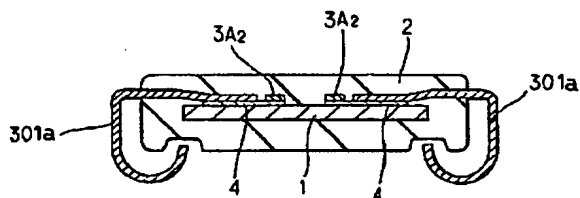
【図43】

図43



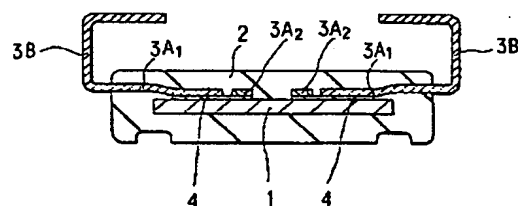
【図44】

図44



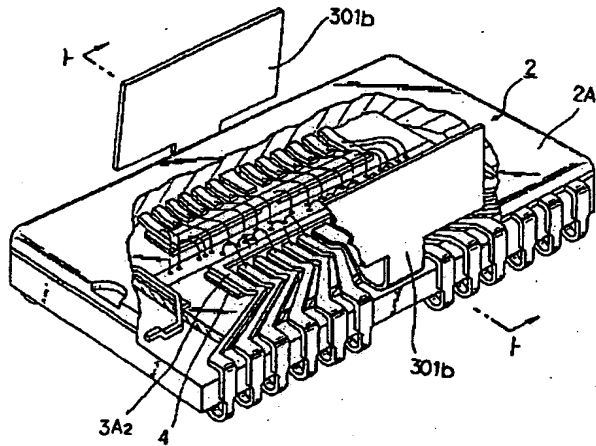
【図46】

図46



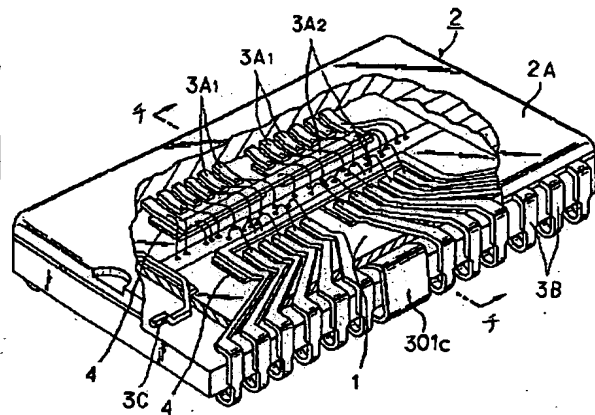
【図45】

図45



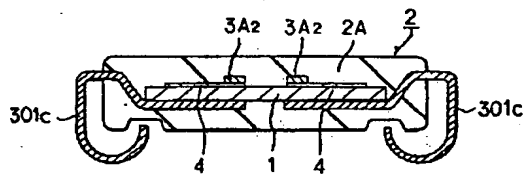
【図47】

図47



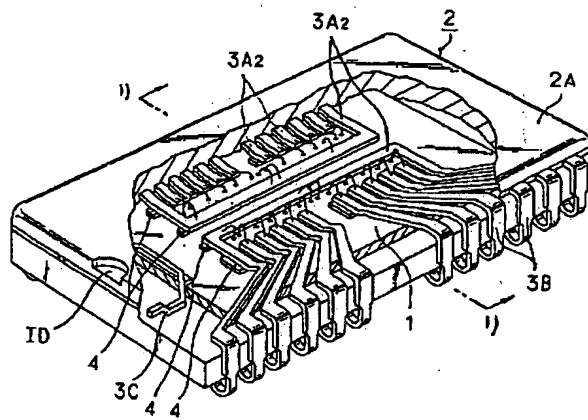
【図48】

図48



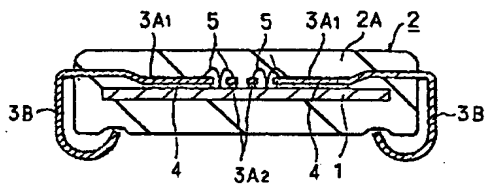
【図49】

図49



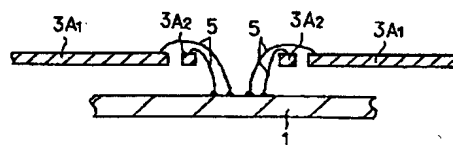
【図50】

図50



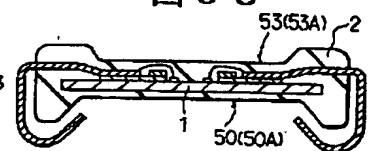
【図56】

図56



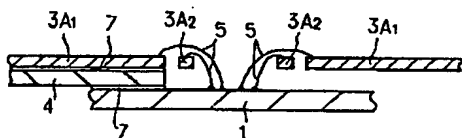
【図63】

図63

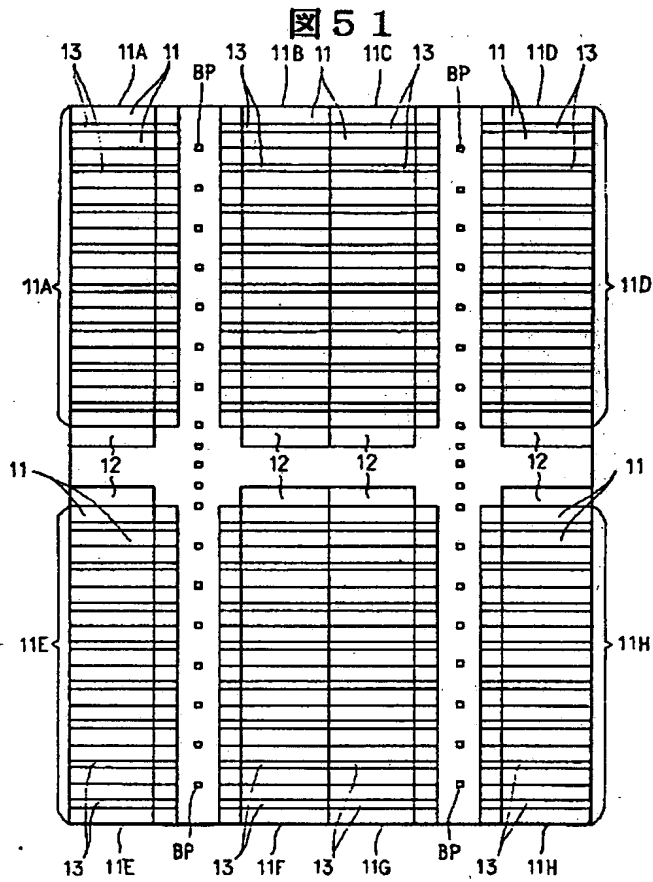


【図57】

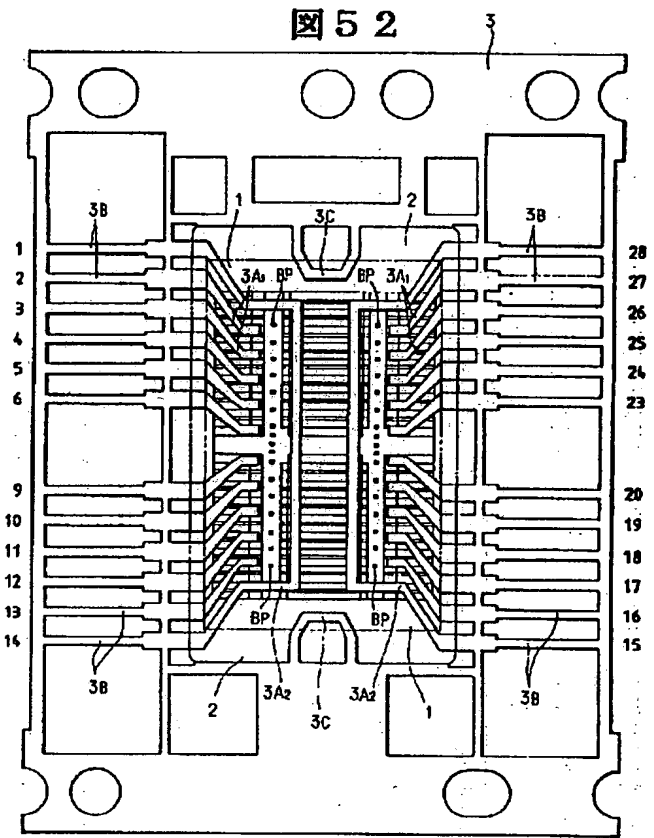
図57



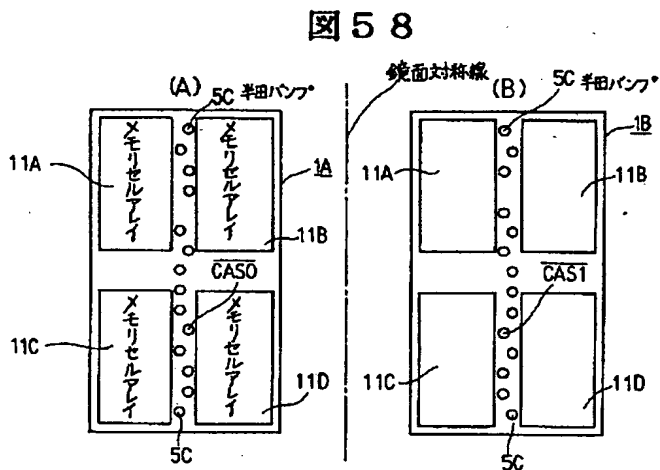
【図51】



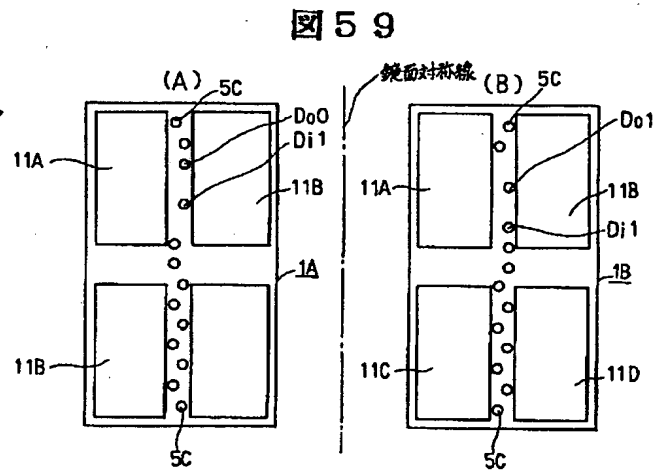
【図52】



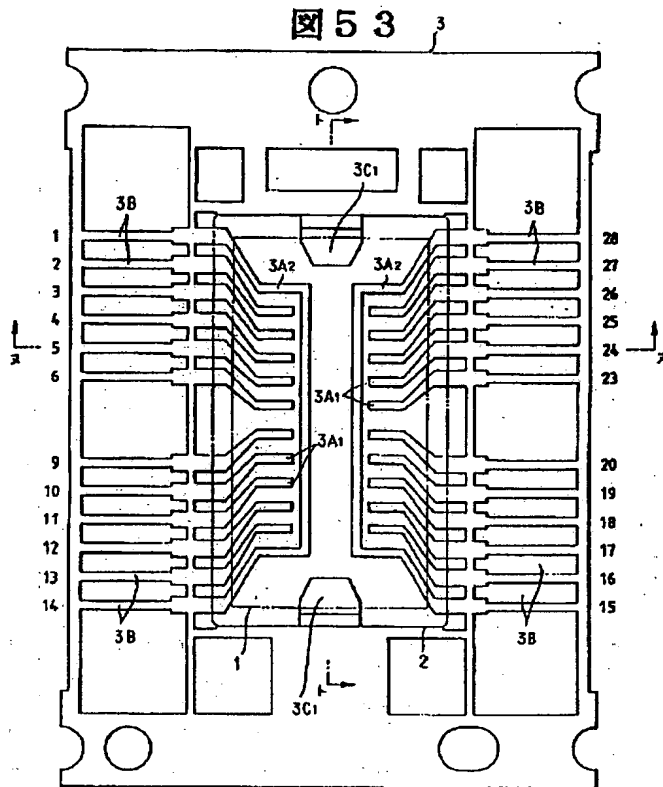
【図58】



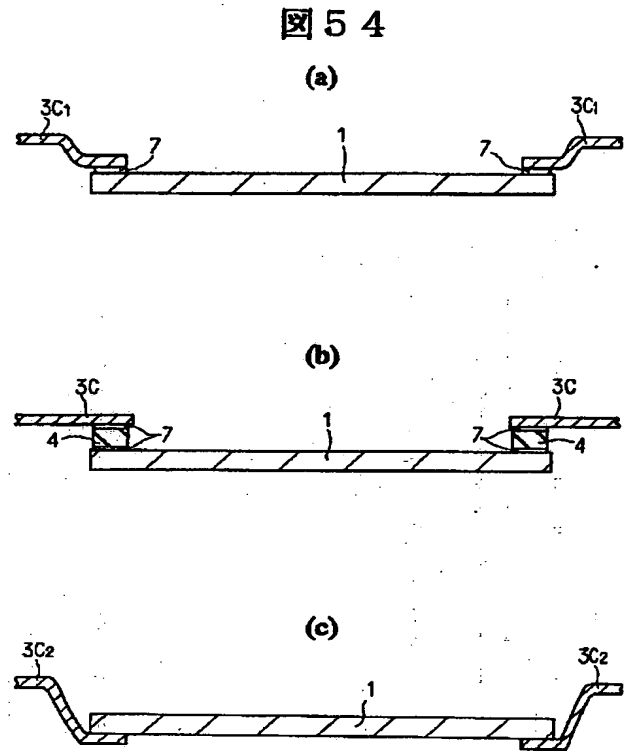
【図59】



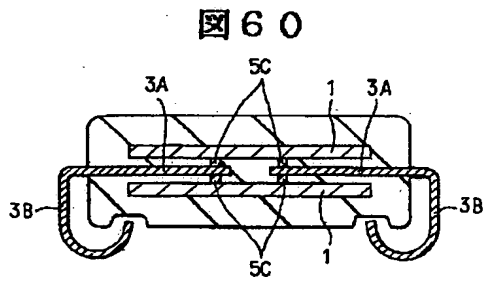
【図 5 3】



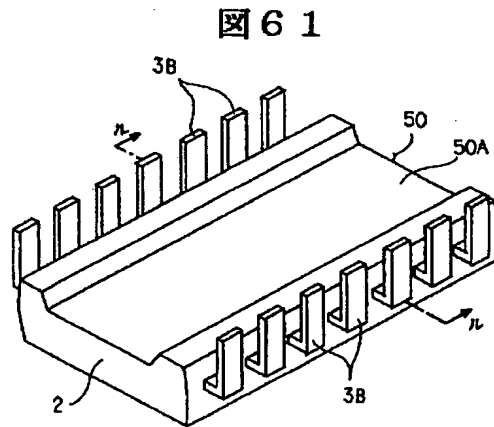
【図 5 4】



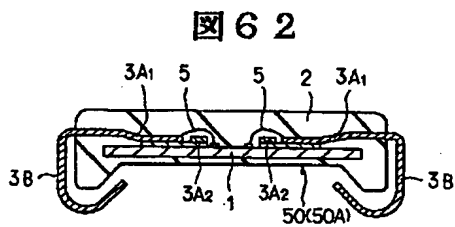
【図 6 0】



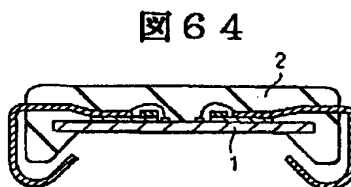
【図 6 1】



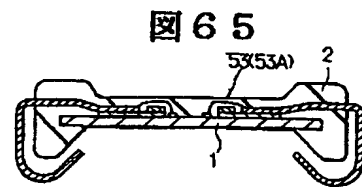
【図 6 2】



【図 6 4】

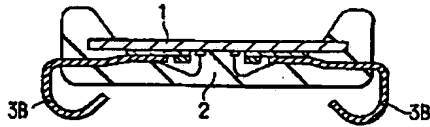


【図 6 5】



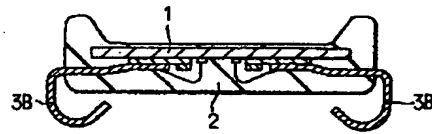
【図66】

図66



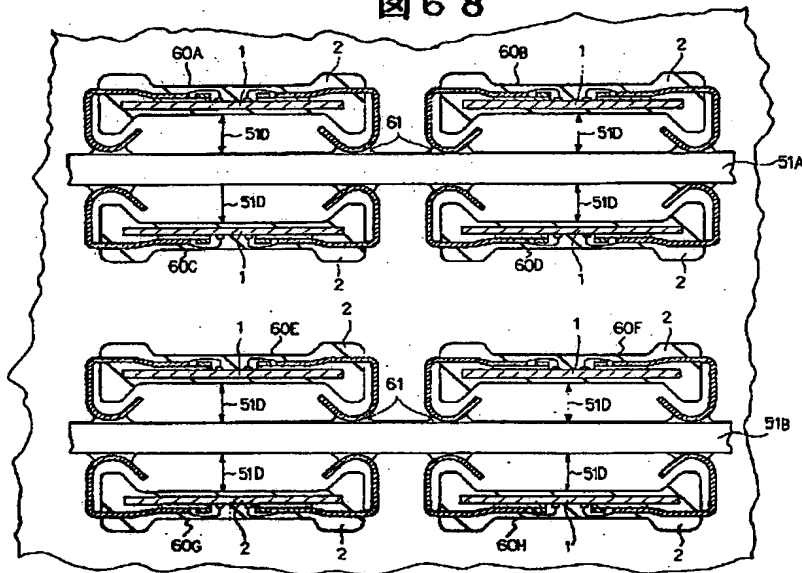
【図67】

図67



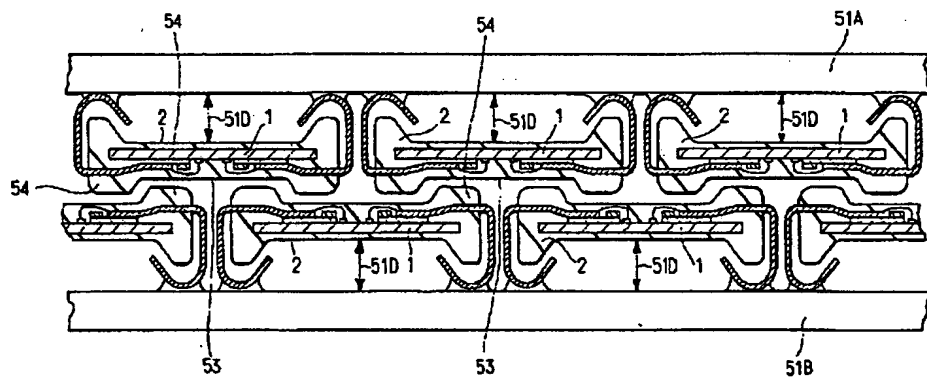
【図68】

図68



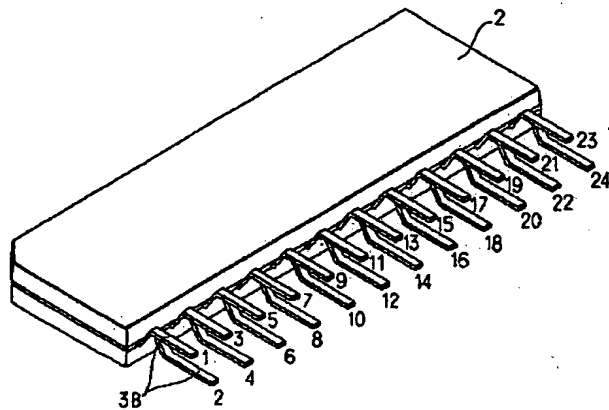
【図69】

図69



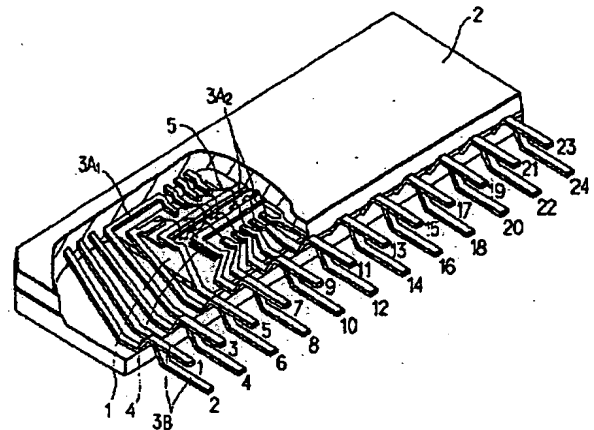
【図70】

図70



【図71】

図71



フロントページの続き

(72)発明者 西 邦彦

東京都小平市上水本町5丁目20番1号 株式会社日立製作所武蔵工場内

(72)発明者 安生 一郎

東京都小平市上水本町5丁目20番1号 株式会社日立製作所武蔵工場内

(72)発明者 西村 朝雄

茨城県土浦市神立町502番地 株式会社日立製作所機械研究所内

(72)発明者 北野 誠

茨城県土浦市神立町502番地 株式会社日立製作所機械研究所内

(72)発明者 矢口 昭弘

茨城県土浦市神立町502番地 株式会社日立製作所機械研究所内

(72)発明者 河合 末男

茨城県土浦市神立町502番地 株式会社日立製作所機械研究所内

(72)発明者 尾形 正次

茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

(72)発明者 江口 州志

茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

(72)発明者 小角 博義

茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

(72)発明者 瀬川 正則

茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

(72)発明者 宝蔵寺 裕之

茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

(72)発明者 横山 隆

茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

(72)発明者 金城 徳幸

茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

(72)発明者 金田 愛三

神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

(72)発明者 佐伯 準一

神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

(72)発明者 中村 省三

神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

(72)発明者 長谷部 昭男

神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

(72)発明者 菊池 廣

神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

(72)発明者 吉田 勇
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所生産技術研究所内